

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 日
Date of Application:

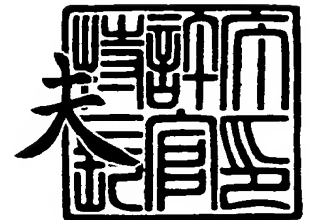
出 願 番 号 特 願 2 0 0 3 - 3 4 5 9 5 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 4 5 9 5 6]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000300736
【提出日】 平成15年10月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 齋藤 友博
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板表面のシリコン層上にマスク材を形成する工程と、
前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、
前記フィン型シリコン層の側面にゲート絶縁膜を形成する工程と、
全面にゲート材を堆積する工程と、
前記ゲート材をパターンニングして、ゲート電極を形成する工程と、
前記ゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、第 1 の不純物領域を形成する工程と、
前記ゲート電極をエッチングして、寸法が縮小されたゲート電極を形成する工程と、
前記寸法が縮小されたゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第 1 の不純物領域に隣接して第 2 の不純物領域を形成する工程と
を具備することを特徴とする半導体装置の製造方法。

【請求項 2】

半導体基板表面のシリコン層上にマスク材を形成する工程と、
前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、
前記フィン型シリコン層の側面にゲート絶縁膜を形成する工程と、
全面にゲート材を堆積する工程と、
前記ゲート材を平坦化し、前記マスク材を露出させる工程と、
前記ゲート材をパターンニングして、ゲート電極を形成する工程と、
前記ゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、第 1 の不純物領域を形成する工程と、
前記ゲート電極をエッチングして寸法が縮小されたゲート電極を形成する工程と、
前記寸法が縮小されたゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第 1 の不純物領域に隣接して第 2 の不純物領域を形成する工程と
を具備することを特徴とする半導体装置の製造方法。

【請求項 3】

前記ゲート材は、多結晶シリコンまたは非結晶シリコンを主成分とする材料からなることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法

【請求項 4】

半導体基板表面のシリコン層上にマスク材を形成する工程と、
前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、
前記フィン型シリコン層の側面にゲート絶縁膜を形成する工程と、
全面に第 1 のゲート材を堆積する工程と、
前記第 1 のゲート材を平坦化し、前記マスク材を露出させる工程と、
全面に第 2 のゲート材を堆積する工程と、
前記第 1 及び第 2 のゲート材をパターンニングして、ゲート電極を形成する工程と、
前記ゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、第 1 の不純物領域を形成する工程と、
前記ゲート電極をエッチングして寸法が縮小されたゲート電極を形成する工程と、
前記寸法が縮小されたゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第 1 の不純物領域に隣接して第 2 の不純物領域を形成する工程と
を具備することを特徴とする半導体装置の製造方法。

【請求項 5】

前記第 1 のゲート材及び第 2 のゲート材は、多結晶シリコンまたは非結晶シリコンを主成分とする材料からなることを特徴とする請求項 4 に記載の半導体装置の製造方法

【請求項 6】

前記第1のゲート材は、多結晶シリコンまたは非結晶シリコンを主成分とする材料からなり、前記第2のゲート材は、金属または金属シリサイドからなることを特徴とする請求項4に記載の半導体装置の製造方法

【請求項7】

前記ゲート電極のエッチング量は、前記マスク材の厚さ以下であることを特徴とする請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】

半導体基板表面のシリコン層上にマスク材を形成する工程と、
前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、
前記フィン型シリコン層の側面にバッファ層を形成する工程と、
全面にダミーゲート材を堆積する工程と、
前記ダミーゲート材を平坦化し、前記マスク材を露出させる工程と、
前記ダミーゲート材をパターンニングして、ダミーゲートを形成する工程と、
前記ダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、
前記ダミーゲートをエッチングして寸法が縮小されたダミーゲートを形成する工程と、
前記寸法が縮小されたダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程と、
全面に層間絶縁膜を形成し、表面を平坦化する工程と、
前記ダミーゲート及びバッファ層を除去して、ゲート溝を形成する工程と、
前記ゲート溝の内面にゲート絶縁膜を形成する工程と、
前記ゲート溝内にゲート電極を形成する工程と
を具備することを特徴とする半導体装置の製造方法。

【請求項9】

前記ダミーゲート材は、多結晶シリコンまたは非結晶シリコンを主成分とする材料からなることを特徴とする請求項8に記載の半導体装置の製造方法

【請求項10】

半導体基板表面のシリコン層上にマスク材を形成する工程と、
前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、
前記フィン型シリコン層の側面にバッファ層を形成する工程と、
全面に第1のダミーゲート材を堆積する工程と、
前記第1のダミーゲート材を平坦化し、前記マスク材を露出させる工程と、
全面に第2のダミーゲート材を堆積する工程と、
前記第1及び第2のダミーゲート材をパターンニングして、ダミーゲートを形成する工程と、
前記ダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、
前記ダミーゲートをエッチングして寸法が縮小されたダミーゲートを形成する工程と、
前記寸法が縮小されたダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程と
全面に層間絶縁膜を形成し、表面を平坦化する工程と、
前記ダミーゲート及びバッファ層を除去して、ゲート溝を形成する工程と、
前記ゲート溝の内面にゲート絶縁膜を形成する工程と、
前記ゲート溝内にゲート電極を形成する工程と
を具備することを特徴とする半導体装置の製造方法。

【請求項11】

前記第1のダミーゲート材及び第2のダミーゲート材は、多結晶シリコンまたは非結晶シリコンを主成分とする材料からなることを特徴とする請求項10に記載の半導体装置の

製造方法**【請求項 12】**

前記ダミーゲートのエッチング量は、前記マスク材の厚さ以下であることを特徴とする請求項 8～11 のいずれかに記載の半導体装置の製造方法。

【請求項 13】

前記第 1 の不純物領域は、前記第 2 の不純物領域より高不純物濃度であることを特徴とする請求項 1～12 のいずれかに記載の半導体装置の製造方法。

【請求項 14】

前記シリコン層は、SOI 基板のシリコン層であることを特徴とする請求項 1～13 のいずれかに記載の半導体装置の製造方法。

【請求項 15】

前記マスク材は、窒化シリコンからなることを特徴とする請求項 1～14 のいずれかに記載の半導体装置の製造方法。

【請求項 16】

半導体基板上に形成されたフィン型シリコン層と、
前記フィン型シリコン層上に形成されたマスク材と、
前記フィン型シリコン層の側面及びマスク材に接するように形成されたゲート絶縁膜及びゲート電極と、
前記フィン型シリコン層の前記ゲート電極に対応する領域から所定距離離れて形成された第 1 の不純物領域と、
前記フィン型シリコン層の前記第 1 の不純物領域と、前記ゲート電極に対応する領域との間に形成された第 2 の不純物領域と
を具備することを特徴とする半導体装置。

【請求項 17】

前記第 2 の不純物領域の幅が前記マスク材の厚さより狭いことを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】

半導体基板上に形成されたフィン型シリコン層と、
前記フィン型シリコン層の側面及び上面に接するように形成されたゲート絶縁膜及びゲート電極と、
前記フィン型シリコン層の前記ゲート電極に対応する領域から所定距離離れて形成された第 1 の不純物領域と、
前記フィン型シリコン層の前記第 1 の不純物領域と、前記ゲート電極に対応する領域との間に形成された第 2 の不純物領域と
を具備することを特徴とする半導体装置。

【請求項 19】

前記第 1 の不純物領域より第 2 の不純物領域の不純物濃度が高いことを特徴とする請求項 16～18 のいずれかに記載の半導体装置。

【請求項 20】

前記ゲート電極が金属または金属シリサイドからなることを特徴とする請求項 16～19 のいずれかに記載の半導体装置。

【請求項 21】

前記ゲート電極が多結晶シリコンまたは非結晶シリコンを主成分とする材料からなることを特徴とする請求項 16～19 のいずれかに記載の半導体装置。

【請求項 22】

半導体基板上に形成された、第 1 及び第 2 の側面を有するフィン型シリコン層と、
前記フィン型シリコン層上に形成されたマスク材と、
前記フィン型シリコン層の第 1 の側面に接するように形成された第 1 のゲート絶縁膜及び第 1 のゲート電極と、
前記フィン型シリコン層の第 2 の側面に接するように形成された第 2 のゲート絶縁膜及

び第2のゲート電極と、

前記フィン型シリコン層の前記第1及び第2のゲート電極に対応する領域から所定距離離れて形成された第1の不純物領域と、

前記フィン型シリコン層の前記第1の不純物領域と、前記第1及び第2のゲート電極に対応する領域との間に形成された第2の不純物領域とを具備することを特徴とする半導体装置。

【請求項23】

半導体基板上に形成された、第1及び第2の側面を有するフィン型シリコン層と、

前記フィン型シリコン層上に形成されたマスク材と、

前記フィン型シリコン層の第1の側面に接するように形成された第1のゲート絶縁膜及び第1のゲート電極と、

前記フィン型シリコン層の第2の側面に接するように形成された第2のゲート絶縁膜及び第2のゲート電極と、

前記第1のゲート電極及び第2のゲート電極の上面に接するように形成された第3のゲート電極と

前記フィン型シリコン層の前記第1、第2及び第3のゲート電極に対応する領域から所定距離離れて形成された第1の不純物領域と、

前記フィン型シリコン層の前記第1の不純物領域と、前記第1、第2及び第3のゲート電極に対応する領域との間に形成された第2の不純物領域とを具備することを特徴とする半導体装置。

【請求項24】

前記第1、第2及び第3のゲート電極が多結晶シリコンまたは非結晶シリコンを主成分とする材料からなることを特徴とする請求項23に記載の半導体装置。

【請求項25】

前記第3のゲート電極の幅が、前記第1及び第2のゲート電極の幅よりも大きいことを特徴とする請求項23に記載の半導体装置

【請求項26】

前記第1及び第2のゲート電極が多結晶シリコンまたは非結晶シリコンを主成分とする材料からなり、前記第3のゲート電極が金属または金属シリサイドからなることを特徴とする請求項25に記載の半導体装置

【請求項27】

前記第1の不純物領域は、前記第2の不純物領域より高不純物濃度であることを特徴とする請求項16～26のいずれかに記載の半導体装置。

【請求項28】

前記第1、第2及び第3のゲート電極が金属または金属シリサイドを主成分とする材料からなることを特徴とする請求項23に記載の半導体装置。

【書類名】 明細書**【発明の名称】 半導体装置及びその製造方法****【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に係り、特に、3次元構造のフィン型電界効果半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

シリコン半導体トランジスタの微細化が進むにつれ、従来の平面型トランジスタに代わって、3次元構造のフィン型電界効果トランジスタが検討されている。このフィン型電界効果トランジスタは、突起状のシリコン層の両側面をチャンネルとするダブルゲート型電界効果トランジスタであり、例えば特許文献1に記載の方法により作成することが出来る。

【0003】

しかし、この方法によると、ソース・ドレイン拡散領域を形成する際に、通常の平面型トランジスタの製造プロセスのように、ゲート電極を形成した後、延長部、例えばLDD領域のイオン注入を行い、次いでゲート電極の側面部分に側壁を形成し、その後、LDD領域より高濃度のイオン注入を行って、ソース・ドレイン領域を形成する際に、次のような不都合が生じる。

【0004】

即ち、フィン型電界効果トランジスタでは、ゲート電極の形成後にその側壁に絶縁膜を形成しようとする、フィン型シリコン層のソース・ドレイン拡散領域やチャンネルが形成される部分の側面にも同時に側壁絶縁膜が形成されてしまい、ソース・ドレイン領域形成のためのイオン注入が出来ないという問題がある。

【特許文献1】特開2002-110963号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

本発明は、このような事情の下になされ、側壁絶縁膜を形成することなく、LDD構造のソース・ドレイン領域を容易に形成することの可能な、フィン型電界効果半導体装置の製造方法、及び半導体装置を提供することを目的とする。

【課題を解決するための手段】**【0006】**

上記課題を解決するため、本発明は、以下に示す種々の態様に係る半導体装置の製造方法及び半導体装置を提供する。

【0007】

本発明の第1の態様は、半導体基板表面のシリコン層上にマスク材を形成する工程と、前記マスク材をマスクとして用いて、前記シリコン層をパターニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、前記フィン型シリコン層の側面にゲート絶縁膜を形成する工程と、全面にゲート材を堆積する工程と、前記ゲート材をパターニングして、ゲート電極を形成する工程と、前記ゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、前記ゲート電極をエッチングして、寸法が縮小されたゲート電極を形成する工程と、前記寸法が縮小されたゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0008】

本発明の第2の態様は、半導体基板表面のシリコン層上にマスク材を形成する工程と、前記マスク材をマスクとして用いて、前記シリコン層をパターニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、前記フィン型シリコン層の側面にゲート絶縁膜を形成する工程と、全面にゲート材を堆積する工程と、前記ゲート材を平坦化し

、前記マスク材を露出させる工程と、前記ゲート材をパターンニングして、ゲート電極を形成する工程と、前記ゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、前記ゲート電極をエッチングして寸法が縮小されたゲート電極を形成する工程と、前記寸法が縮小されたゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0009】

本発明の第3の態様は、半導体基板表面のシリコン層上にマスク材を形成する工程と、前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、前記フィン型シリコン層の側面にゲート絶縁膜を形成する工程と、全面に第1のゲート材を堆積する工程と、前記第1のゲート材を平坦化し、前記マスク材を露出させる工程と、全面に第2のゲート材を堆積する工程と、前記第1及び第2のゲート材をパターンニングして、ゲート電極を形成する工程と、前記ゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、前記ゲート電極をエッチングして寸法が縮小されたゲート電極を形成する工程と、前記寸法が縮小されたゲート電極をマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0010】

本発明の第4の態様は、半導体基板表面のシリコン層上にマスク材を形成する工程と、前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、前記フィン型シリコン層の側面にバッファ層を形成する工程と、全面にダミーゲート材を堆積する工程と、前記ダミーゲート材を平坦化し、前記マスク材を露出させる工程と、前記ダミーゲート材をパターンニングして、ダミーゲートを形成する工程と、前記ダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、前記ダミーゲートをエッチングして寸法が縮小されたダミーゲートを形成する工程と、前記寸法が縮小されたダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程と、全面に層間絶縁膜を形成し、表面を平坦化する工程と、前記ダミーゲート及びバッファ層を除去して、ゲート溝を形成する工程と、前記ゲート溝の内面にゲート絶縁膜を形成する工程と、前記ゲート溝内にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0011】

本発明の第5の態様は、半導体基板表面のシリコン層上にマスク材を形成する工程と、前記マスク材をマスクとして用いて、前記シリコン層をパターンニングして、表面にマスク材を有するフィン型シリコン層を形成する工程と、前記フィン型シリコン層の側面にバッファ層を形成する工程と、全面に第1のダミーゲート材を堆積する工程と、前記第1のダミーゲート材を平坦化し、前記マスク材を露出させる工程と、全面に第2のダミーゲート材を堆積する工程と、前記第1及び第2のダミーゲート材をパターンニングして、ダミーゲートを形成する工程と、前記ダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、第1の不純物領域を形成する工程と、前記ダミーゲートをエッチングして寸法が縮小されたダミーゲートを形成する工程と、前記寸法が縮小されたダミーゲートをマスクとして用いて前記フィン型シリコン層に不純物を導入して、前記第1の不純物領域に隣接して第2の不純物領域を形成する工程と、全面に層間絶縁膜を形成し、表面を平坦化する工程と、前記ダミーゲート及びバッファ層を除去して、ゲート溝を形成する工程と、前記ゲート溝の内面にゲート絶縁膜を形成する工程と、前記ゲート溝内にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0012】

本発明の第6の態様は、半導体基板上に形成されたフィン型シリコン層と、前記フィン型シリコン層上に形成されたマスク材と、前記フィン型シリコン層の側面及びマスク材に接するように形成されたゲート絶縁膜及びゲート電極と、前記フィン型シリコン層の前記ゲート電極に対応する領域から所定距離離れて形成された第1の不純物領域と、前記フィン型シリコン層の前記第1の不純物領域と、前記ゲート電極に対応する領域との間に形成された第2の不純物領域とを具備することを特徴とする半導体装置を提供する。

【0013】

本発明の第7の態様は、基板上に形成されたフィン型シリコン層と、前記フィン型シリコン層の側面及び上面に接するように形成されたゲート絶縁膜及びゲート電極と、前記フィン型シリコン層の前記ゲート電極に対応する領域から所定距離離れて形成された第1の不純物領域と、前記フィン型シリコン層の前記第1の不純物領域と、前記ゲート電極に対応する領域との間に形成された第2の不純物領域とを具備することを特徴とする半導体装置を提供する。

【0014】

本発明の第8の態様は、半導体基板上に形成された、第1及び第2の側面を有するフィン型シリコン層と、前記フィン型シリコン層上に形成されたマスク材と、前記フィン型シリコン層の第1の側面に接するように形成された第1のゲート絶縁膜及び第1のゲート電極と、前記フィン型シリコン層の第2の側面に接するように形成された第2のゲート絶縁膜及び第2のゲート電極と、前記フィン型シリコン層の前記第1及び第2のゲート電極に対応する領域から所定距離離れて形成された第1の不純物領域と、前記フィン型シリコン層の前記第1の不純物領域と、前記第1及び第2のゲート電極に対応する領域との間に形成された第2の不純物領域とを具備することを特徴とする半導体装置を提供する。

【0015】

本発明の第9の態様は、半導体基板上に形成された、第1及び第2の側面を有するフィン型シリコン層と、前記フィン型シリコン層上に形成されたマスク材と、前記フィン型シリコン層の第1の側面に接するように形成された第1のゲート絶縁膜及び第1のゲート電極と、前記フィン型シリコン層の第2の側面に接するように形成された第2のゲート絶縁膜及び第2のゲート電極と、前記第1のゲート電極及び第2のゲート電極の上面に接するように形成された第3のゲート電極と、前記フィン型シリコン層の前記第1、第2及び第3のゲート電極に対応する領域から所定距離離れて形成された第1の不純物領域と、前記フィン型シリコン層の前記第1の不純物領域と、前記第1、第2及び第3のゲート電極に対応する領域との間に形成された第2の不純物領域とを具備することを特徴とする半導体装置を提供する。

【発明の効果】

【0016】

本発明によれば、ゲート電極（又はダミーゲート）をエッチングしてその寸法を縮小する工程の前後に、ゲート電極（又はダミーゲート）をマスクとしてフィン型シリコン層に不純物を導入して、それぞれ第1及び第2の不純物領域を形成しているため、従来困難であった、フィン型シリコン層への2層構造のソース・ドレイン拡散層（LDD構造）の形成を容易に行うことが出来るので、より微細なフィン型電界効果半導体装置を得ることが可能である。

【発明を実施するための最良の形態】

【0017】

以下、発明を実施するための最良の形態について説明する。

【0018】

本発明は、フィン型シリコン層にゲート電極（又はダミーゲート）を形成した後、このゲート電極（又はダミーゲート）をマスクとしてフィン型シリコン層に不純物を導入して、第1の不純物領域を形成し、次いでゲート電極（又はダミーゲート）をエッチングしてその寸法を縮小し、この縮小された寸法のゲート電極（又はダミーゲート）をマスクとしてフィン型シリコン層に不純物を導入して、第2の不純物領域を形成することを特徴とす

る。

【0019】

このように、ゲート電極（又はダミーゲート）をエッチングしてその寸法を縮小する工程の前後に、ゲート電極（又はダミーゲート）をマスクとしてフィン型シリコン層に不純物を導入して、それぞれ第1及び第2の不純物領域を形成することにより、フィン型シリコン層への2層構造のソース・ドレイン拡散層（LDD構造）の形成を容易に行うことが出来る。

【0020】

なお、本発明において、フィン型シリコン層の高さは、 $0.1 \sim 0.2 \mu\text{m}$ 程度、厚さは $0.01 \sim 0.1 \mu\text{m}$ 程度が好ましく、エッチングによる寸法の縮小量は、 $10 \sim 50 \text{ nm}$ 程度であるのが好ましい。また、第1の不純物領域の形成のための不純物のドーズ量は、 $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ 程度、第2の不純物領域の形成のための不純物のドーズ量は、 $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^2$ 程度であるのが好ましい。

【0021】

本発明の第1の態様に係る半導体装置の製造方法では、全面にゲート材を堆積した後、そのまま、即ちフィン型シリコン層に対応する突起部を有するゲート材をパターンニングしてゲート電極を形成している。そのため、形成されたゲート電極はフィン型シリコン層に対応する突起部を有するものとなる。

【0022】

また、本発明の第2の態様に係る半導体装置の製造方法では、全面にゲート材を堆積した後、CMP等によりゲート材を平坦化し、その後ゲート材をパターンニングしてゲート電極を形成している。そのため、形成されたゲート電極の上面が平坦になっており、パターンニングの焦点あわせがし易く、そのため微細なゲート加工を行う上で有利である。

【0023】

これら第1及び第2の態様において、ゲート材として、多結晶シリコンまたは非結晶シリコンを主成分とする材料を用いることが出来る。

本発明の第3の態様に係る半導体装置の製造方法では、ゲート電極を2層構造としている。この第3の態様において、第1のゲート材及び第2のゲート材として、多結晶シリコンまたは非結晶シリコンを主成分とする材料を用いることが出来る。また、第1のゲート材として、多結晶シリコンまたは非結晶シリコンを主成分とする材料を用い、第2のゲート材として、金属または金属シリサイドを用いることが出来る。金属としては、TiN、W、Mo等を、金属シリサイドとしてはWSi_xの他、ニッケルシリサイド（NiSi_x）、チタンシリサイド（TiSi_x）、コバルトシリサイド（CoSi_x）、パラジウムシリサイド（PdSi_x）、モリブデンシリサイド（MoSi_x）、タンタルシリサイド（TaSi_x）、ニオブシリサイド（NbSi_x）、プラチナシリサイド（PtSi_x）等を用いることが出来る。

【0024】

なお、ゲート電極のエッチング量は、マスク材の厚さ以下であることが望ましい。

【0025】

本発明の第4の態様に係る半導体装置の製造方法では、全面にダミーゲート材を堆積した後、CMP等によりゲート材を平坦化し、その後ダミーゲート材をパターンニングしてダミーゲートを形成している。その後、第1～第3の態様と同様にして、第1及び第2の不純物領域を形成した後、ダミーゲートを除去してゲート溝を形成し、このゲート溝内にゲート絶縁膜及びゲート電極を形成している。このようにして、ダマシメタルゲートを得ることが可能である。この第4の態様において、ダミーゲート材としては、多結晶シリコンまたは非結晶シリコンを主成分とする材料を用いることが出来る。

【0026】

本発明の第5の態様に係る半導体装置の製造方法では、2層構造のダミーゲートを形成している。この第5の態様において、第1のダミーゲート材及び第2のダミーゲート材としては、ともに多結晶シリコンまたは非結晶シリコンを主成分とする材料を用いることが出来る。或いは、第1のダミーゲート材として多結晶シリコンまたは非結晶シリコンを主

成分とする材料を用い、第2のダミーゲート材として多結晶シリコンまたは非結晶シリコンを用いることが出来る。金属または金属シリサイドの具体例は、上述と同様である。

【0027】

これら第4及び第5の態様に係る半導体装置の製造方法において、ダミーゲートのエッチング量をマスク材の厚さ以下とすることが望ましい。また、第1の不純物領域は、第2の不純物領域より高不純物濃度であることが望ましい。更に、シリコン層は、SOI基板のシリコン層とすることが出来る。更にまた、マスク材として、窒化シリコンを用いることが出来る。

【0028】

本発明の第6の態様に係る半導体装置では、フィン型シリコン層に第1の不純物領域を形成するとともに、この第1の不純物領域の外側に第2の不純物領域を形成している。これら第1及び第2の不純物領域は、ゲート電極又はダミーゲートに何ら側壁を形成することなく、形成され得る。この第6の態様において、第1の不純物領域の幅は、マスク材の厚さより狭いことが望ましい。

【0029】

本発明の第7の態様に係る半導体装置では、フィン型シリコン層上のマスク材が除去されている。そのためフィン型シリコン層上チャンネルを形成することができるので、トランジスタ全体の駆動力を上昇させることが出来る。この第7の態様において、第1の不純物領域より第2の不純物領域の不純物濃度が高いことが望ましい。また、ゲート電極として、金属または金属シリサイドを用いることが出来る。或いは、ゲート電極として、多結晶シリコンまたは非結晶シリコンを主成分とする材料を用いることが出来る。

【0030】

本発明の第8の態様に係る半導体装置では、フィン型シリコン層の両側面に、それぞれ第1のゲート及び第2のゲートを形成している。即ち、ダブルゲート構造のフィン型電界効果半導体装置が提供される。

【0031】

本発明の第9の態様に係る半導体装置では、フィン型シリコン層の両側面に、それぞれ第1のゲート及び第2のゲートを形成しているとともに、フィン型シリコン層の上面に第3のゲートを形成している。この第9の態様において、第1、第2及び第3のゲート電極として、多結晶シリコンまたは非結晶シリコンを主成分とする材料を用いることが出来る。また、第3のゲート電極の幅を、第1及び第2のゲート電極の幅よりも大きくすることが出来る。この場合、第1及び第2のゲート電極として多結晶シリコンまたは非結晶シリコンを主成分とする材料を用い、第3のゲート電極として金属または金属シリサイドを用いることが出来る。

【0032】

これら第6～第9の態様において、第1の不純物領域を第2の不純物領域より高不純物濃度とすることが出来る。

【0033】

以下、本発明の種々の実施例について、図面を参照して説明する。

実施例1

本実施例は、多結晶シリコンからなるゲート電極を形成し、ゲートの平坦化を行わない例を示す。

【0034】

まず、SOI基板上にバッファ酸化膜を介してマスクとなるシリコン窒化膜を全面に堆積する。次いで、レジストパターンをマスクとするRIE等の異方性エッチングにより、シリコン窒化膜、バッファ酸化膜、及びSOI活性層を順次エッチングして、図1に示すように、Si基板1上に絶縁層2が形成され、絶縁層2上にSi-フィン層3が形成された構造が得られる。Si-フィン層3上にはマスクとして用いたシリコン窒化膜4が被着されている。

【0035】

次に、図2に示すように、ゲート絶縁膜5を全面に形成した後、ゲート電極材料として多結晶または非結晶シリコン膜6を堆積させる。そして、パターニングと異方性エッチングによりゲート電極材料を加工して、図3に示すように、ゲート電極7を形成する。このとき、ゲート電極7の幅は、ソース・ドレイン拡散層を形成するためのマスクの幅であり、最終的なゲート幅とは異なる。

【0036】

次いで、図4に示すように、ゲート電極7をマスクとして用いてSi-フィン層3にイオン注入を行い、ソース拡散層8及びドレイン拡散層9を形成する。その後、化学的ドライエッチング(CDE)等の等方性エッチング手法によりエッチングしてゲート電極7の寸法を縮小し、最終的なゲート寸法のゲート電極7aを得る。

【0037】

次に、図6に示すように、ゲート電極7aをマスクとして用いてSi-フィン層3にイオン注入を行い、延長領域10、11を形成した後、アニールにより不純物を活性化するので。

【0038】

その後は、通常のトランジスタと同様の手順で配線工程を施し、シリコン窒化膜マスク4を除去した後に、シリコン窒化膜ライナーを全面に形成する。そして、層間膜を全面に堆積し、コンタクトホール形成及びコンタクト形成を経て、配線を完成させて、トランジスタが完成する。

【0039】

なお、本実施例では、シリコン窒化膜マスク4を残した状態でゲート電極を形成したが、ゲート絶縁膜5の形成前にシリコン窒化膜マスク4を除去してもよい。このようにして得たトランジスタを図7に示す。このような構成のトランジスタでは、シリコン活性層3の上部にもチャンネル部分を形成することができるので、トランジスタ全体の駆動力を上昇させることができるという利点がある。

【0040】

実施例2

本実施例は、2層のシリコンゲート電極を形成した例である。

【0041】

実施例1と同様にして、図8に示すように、Si基板1上に絶縁層2が形成され、絶縁層2上にSi-フィン層3が形成された構造を得る。Si-フィン層3上にはマスクとして用いたシリコン窒化膜4が被着されている。

【0042】

Si-フィン層3の表面にゲート絶縁膜5を形成した後、図9に示すように、1層目のゲート電極材料として多結晶または非結晶シリコン膜16aを堆積させ、CMP等によりシリコン窒化膜4が露出するまで多結晶または非結晶シリコン膜16aを平坦化する。次いで、図10に示すように、更に2層目のゲート電極材料として多結晶または非結晶シリコン膜16bを形成する。

【0043】

次に、パターニング及び異方性エッチングにより、2層の多結晶または非結晶シリコン膜16a、16bを同時に加工し、ゲート電極17を形成する。このとき、ゲート電極17の幅は、ソース・ドレイン拡散層を形成するためのマスクの幅であり、最終的なゲート幅とは異なる。

【0044】

次いで、図12に示すように、ゲート電極17をマスクとして用いてSi-フィン層3にイオン注入を行い、ソース拡散層8及びドレイン拡散層9を形成する。その後、化学的ドライエッチング(CDE)等の等方性エッチング手法によりエッチングしてゲート電極17の寸法を縮小し、最終的なゲート寸法のゲート電極17aを得る。

【0045】

次に、図13に示すように、ゲート電極17aをマスクとして用いてSi-フィン層3

にイオン注入を行い、延長領域 10, 11 を形成した後、アニールにより不純物を活性化
する。

【0046】

その後は、通常のトランジスタと同様の手順で配線工程を施し、シリコン窒化膜マスク
4 を除去した後に、シリコン窒化膜ライナーを全面に形成する。そして、層間膜を全面に
堆積し、コンタクトホール形成及びコンタクト形成を経て、配線を完成させて、トラ
ンジスタが完成する。

【0047】

本実施例によると、ゲート電極のパターニング時点でゲート電極の上面が平坦になっ
ているので、パターニングの焦点あわせがし易く、そのため微細なゲート加工を行う上
で有利である。

【0048】

実施例 3

本実施例は、表面を平坦化した多結晶シリコンゲート電極を形成した例である。

【0049】

まず、SOI 基板上にバッファ酸化膜を介してマスクとなるシリコン窒化膜を全面に堆
積する。次いで、レジストパターンをマスクとする RIE 等の異方性エッチングにより、
シリコン窒化膜、バッファ酸化膜、及び SOI 活性層を順次エッチングして、図 15 に示
すように、Si 基板 1 上に絶縁層 2 が形成され、絶縁層 2 上に Si-フィン層 3 が形成さ
れた構造が得られる。Si-フィン層 3 上にはマスクとして用いたシリコン窒化膜 4 が被
着されている。

【0050】

次に、図 16 に示すように、ゲート絶縁膜 5 を全面に形成した後、ゲート電極材料とし
て多結晶または非結晶シリコン膜 21 を堆積し、CMP 等によりシリコン窒化膜 4 が露出
するまで多結晶または非結晶シリコン膜 21 を平坦化する。

【0051】

次に、多結晶または非結晶シリコン膜 21 上に所定のパターンのレジスト（図示せず）
を形成し、異方性エッチングにより多結晶または非結晶シリコン膜 21 を加工し、図 17
に示すようにゲート電極 22 を形成する。このときゲート電極 22 の幅はソース・ドレ
イン拡散層を形成するためのマスクの幅とし、最終的なゲート寸法より大きい。

【0052】

次いで、図 18 に示すように、ゲート電極 22 をマスクとして用いて Si-フィン層 3
にイオン注入を行い、ソース拡散層 8 及びドレイン拡散層 9 を形成する。その後、図 19
に示すように、化学的ドライエッチング（CDE）等の等方性エッチング手法によりエッ
チングしてゲート電極 22 の寸法を縮小し、最終的なゲート寸法のゲート電極 22a を得
る。

【0053】

次に、図 20 に示すように、ゲート電極 22a をマスクとして用いて Si-フィン層 3
にイオン注入を行い、延長領域 10, 11 を形成した後、アニールにより不純物を活性化
する。

【0054】

その後は、通常のトランジスタと同様の手順で配線工程を施し、シリコン窒化膜マスク
4 を除去した後に、シリコン窒化膜ライナーを全面に形成する。そして、層間膜を全面に
堆積し、コンタクトホール形成及びコンタクト形成を経て、配線を完成させて、トラ
ンジスタが完成する。

【0055】

本実施例によると、ゲート電極のパターニング時点でゲート電極の上面が平坦になっ
ているので、パターニングの焦点あわせがし易く、そのため微細なゲート加工を行う上
で有利である。

【0056】

実施例 4

本実施例は、シリコンゲート電極上にタングステンシリサイド (WSi) を積層した例である。

【0057】

実施例 1 と同様にして、図 2-1 に示すように、Si 基板 1 上に絶縁層 2 が形成され、絶縁層 2 上に Si-フィン層 3 が形成された構造を得る。Si-フィン層 3 上にはマスクとして用いたシリコン窒化膜 4 が被着されている。

【0058】

Si-フィン層 3 の表面にゲート絶縁膜 5 を形成した後、図 2-2 に示すように、1 層目のゲート電極材料として多結晶または非結晶シリコン膜 3-1 を堆積させ、CMP 等によりシリコン窒化膜 4 が露出するまで多結晶または非結晶シリコン膜 3-1 を平坦化する。次いで、図 2-3 に示すように、更に 2 層目のゲート電極材料としてタングステンシリサイド (WSi) 膜 3-2 を形成する。

【0059】

次に、パターンニング及び異方性エッチングにより、タングステンシリサイド (WSi) 膜 3-2 及び多結晶または非結晶シリコン膜 3-1 を同時に加工し、ゲート電極 3-3, 3-4 を形成する。このとき、ゲート電極 3-3, 3-4 の幅は、ソース・ドレイン拡散層を形成するためのマスクの幅であり、最終的なゲート幅とは異なる。

【0060】

次いで、図 2-5 に示すように、ゲート電極 3-3, 3-4 をマスクとして用いて Si-フィン層 3 にイオン注入を行い、ソース拡散層 8 及びドレイン拡散層 9 を形成する。その後、図 2-6 に示すように、化学的ドライエッチング (CDE) 等の等方性エッチング手法によりエッチングして 1 層目のゲート電極 3-3 の寸法を縮小し、最終的なゲート寸法のゲート電極 3-3a, 3-4 を得る。

【0061】

次に、図 2-7 に示すように、ゲート電極 3-3a, 3-4 をマスクとして用いて Si-フィン層 3 にイオン注入を行い、延長領域 10, 11 を形成した後、アニールにより不純物を活性化する。

【0062】

その後は、通常のトランジスタと同様の手順で配線工程を施し、シリコン窒化膜マスク 4 を除去した後に、シリコン窒化膜ライナーを全面に形成する。そして、層間膜を全面に堆積し、コンタクトホール形成及びコンタクト形成を経て、配線を完成させて、トランジスタが完成する。

【0063】

本実施例によると、ゲート電極を多結晶または非結晶シリコンからなる 1 層目のゲート電極とタングステンシリサイド (WSi) からなる 2 層目のゲート電極とにより構成しているため、ゲート電極の抵抗を低減することが出来るので、高速動作に適している。

【0064】**実施例 5**

本実施例は、ダマシンメタルゲートを用いてフィン型 FET を製造する例である。

【0065】

まず、SOI 基板上にバッファ酸化膜を介してマスクとなるシリコン窒化膜を全面に堆積する。次いで、レジストパターンをマスクとする RIE 等の異方性エッチングにより、シリコン窒化膜、バッファ酸化膜、及び SOI 活性層を順次エッチングして、図 2-8 に示すように、Si 基板 1 上に絶縁層 2 が形成され、絶縁層 2 上に Si-フィン層 3 が形成された構造が得られる。Si-フィン層 3 上にはマスクとして用いたシリコン窒化膜 4 が被着されている。

【0066】

次いで、図 2-9 に示すように、露出した Si-フィン層 3 の側面を酸化する等によりバッファ膜 4-1 を形成した後、多結晶または非結晶シリコン膜 (ダミーシリコン膜) 4-2 を

全面に形成し、CMP等によりシリコン窒化膜4が露出するまでダミーシリコン膜42を平坦化する。

【0067】

次に、ダミーシリコン膜42上に所定のパターンのレジスト（図示せず）を形成し、異方性エッチングによりダミーシリコン膜42を加工し、図30に示すようにダミーゲート43を形成する。このときダミーゲート43の幅はソース・ドレイン拡散層を形成するためのマスクの幅とし、最終的なゲート寸法より大きい。

【0068】

その後、図31に示すように、ダミーゲート43をマスクとして用いてSi-フィン層3にイオン注入を行い、ソース拡散層8及びドレイン拡散層9を形成する。その後、図32に示すように、化学的ドライエッチング（CDE）等の等方性エッチング手法によりエッチングしてダミーゲート43の寸法を縮小し、最終的なゲート寸法のダミーゲート43aを得る。

【0069】

次に、図33に示すように、ダミーゲート43aをマスクとして用いてSi-フィン層3にイオン注入を行い、延長領域10、11を形成した後、アニールにより不純物を活性化する。

【0070】

この場合、Si-フィン層3上のダミーゲート43aと交差する部分のシリコン窒化膜4は、ダミーゲート43aを等方的にエッチングする量以上の厚さが必要である。その理由は、上面からダミーゲート43aがエッチングされるので、エッチング量以上の厚さのシリコン窒化膜4が存在しないと、イオン注入されるべきでないSi-フィン層3の部分にもイオン注入がなされてしまい、拡散層がつながって、トランジスタ動作がしなくなってしまうからである。

【0071】

次いで、シリコン窒化膜4を熱燐酸処理等により除去したのち、全面にシリコン窒化膜ライナーを堆積し、層間膜としてシリコン酸化膜を形成する。次に、CMP等の平坦化工程によりダミーゲート43aの上面のシリコン窒化膜を露出させる。そして、エッチングにより窒化膜ライナーを除去し、ダミーゲートを露出させる。更に、CDE等によりダミーゲート43aを除去して、ゲート溝を完成させる。

【0072】

その後、必要に応じてチャネル部分にイオン注入と活性化アニールを行ってチャネル部分の不純物濃度を調整したのち、バッファ酸化膜を除去してゲート溝部分にゲート絶縁膜を形成する。そして、ゲート電極材料として、例えば窒化チタンを全面に堆積する。ゲート電極の加工は、ゲートパターンよりわずかに大きいパターンを使用して、いわゆるT字型ゲートとしても良いし、CMPを使ってゲート溝に埋め込んでもよい。

【0073】

ゲート電極を溝に埋め込んだ場合は、ゲート電極がSi-フィン層3の両側に分断された形になるので、ゲート電極へのコンタクトは両側のゲート電極に対し行う必要がある。また、平坦化の後、新たに導電体材料を形成し、必要な部分にのみパターンニングで残してゲート電極を接続しても良い。

【0074】

ゲート電極形成後は、通常のトランジスタ形成方法と同様にして、全面に層間膜を堆積させ、コンタクトホールを形成し、これにメタルを埋め込んでコンタクトを形成し、その後、アルミニウム等のメタルを全面に形成した後、所望のパターンに加工して配線を形成することにより、トランジスタが完成する。

【0075】

実施例6

本実施例はダミーゲートを複層にした例を示す。

【0076】

まず、SOI 基板上にバッファ酸化膜を介してマスクとなるシリコン窒化膜を全面に堆積する。次いで、レジストパターンをマスクとするRIE等の異方性エッチングにより、シリコン窒化膜、バッファ酸化膜、及びSOI 活性層を順次エッチングして、図34に示すように、Si 基板1上に絶縁層2が形成され、絶縁層2上にSi-フィン層3が形成された構造が得られる。Si-フィン層3上にはマスクとして用いたシリコン窒化膜4が被着されている。

【0077】

次いで、図35に示すように、露出したSi-フィン層3の側面を酸化する等によりバッファ膜41を形成した後、多結晶または非結晶シリコン膜（ダミーシリコン膜）42を全面に形成し、CMP等によりシリコン窒化膜4が露出するまでダミーシリコン膜42を平坦化する。そして、シリコン酸化膜51を全面に堆積させる。

【0078】

次に、ダミーゲートパターンのレジスト（図示せず）をマスクとして用いて、シリコン酸化膜51とダミーシリコン膜42を異方性エッチングにより加工し、図36に示すように、シリコン酸化膜とシリコン膜からなる2層のダミーゲート43、52を形成する。このときゲートパターンの幅はソース・ドレイン拡散層を形成するためのマスクの幅とし、最終的なゲート寸法より大きい。

【0079】

その後、図37に示すように、ダミーゲート43、52をマスクとして用いてSi-フィン層3にイオン注入を行い、ソース拡散層8及びドレイン拡散層9を形成する。その後、図38に示すように、化学的ドライエッチング（CDE）等の等方性エッチング手法によりエッチングしてダミーゲート43の寸法を縮小し、最終的なゲート寸法のダミーゲート43aを得る。

【0080】

次に、図39に示すように、ダミーゲート43a、52をマスクとして用いてSi-フィン層3にイオン注入を行い、延長領域10、11を形成した後、アニールにより不純物を活性化する。

【0081】

次いで、全面にシリコン窒化膜ライナーを堆積し、層間膜としてシリコン酸化膜を形成する。次に、CMP等により層間シリコン酸化膜を平坦化し、ダミーゲート43a、52の上面を露出させる。このとき、ダミーゲート43a、52上のシリコン窒化膜ライナー及び層間シリコン酸化膜は同時に除去される。そして、CDE等によりダミーゲート43a、52を除去して、ゲート溝を形成する。

【0082】

その後、必要に応じてチャネル部分にイオン注入と活性化アニールを行ってチャネル部分の不純物濃度を調整したのち、バッファ酸化膜を除去してゲート溝内面にゲート絶縁膜を形成する。そして、ゲート電極材料として、例えば窒化チタンを全面に堆積する。ゲート電極の加工は、ゲートパターンよりわずかに大きいパターンを使用して、いわゆるT字型ゲートとしても良いし、CMPを使ってゲート溝に埋め込んでもよい。

【0083】

ゲート電極を溝に埋め込んだ場合は、ゲート電極がSi-フィン層3の両側に分断された形になるので、ゲート電極へのコンタクトは両側のゲート電極に対し行う必要がある。また、平坦化の後、新たに導電体材料を形成し、必要な部分にのみパターニングで残してゲート電極を接続しても良い。

【0084】

ゲート電極形成後は、通常のトランジスタ形成方法と同様にして、全面に層間膜を堆積させ、コンタクトホールを形成し、これにメタルを埋め込んでコンタクトを形成し、その後、アルミニウム等のメタルを全面に形成した後、所望のパターンに加工して配線を形成することにより、トランジスタが完成する。

【0085】

本実施例は、S i - フィン層上にシリコン窒化膜マスクを残すことができるので、S i - フィン層の側面のみをトランジスタとして利用するものである。従って、S i - フィン層の上面部分はチャンネルとして利用しないため、トランジスタの設計が容易になるという利点もある。

【0086】

実施例 7

本実施例はダミーゲートを複層にした例を示す。

【0087】

まず、S O I 基板上にバッファ酸化膜を介してマスクとなるシリコン窒化膜を全面に堆積する。次いで、レジストパターンをマスクとするR I E等の異方性エッチングにより、シリコン窒化膜、バッファ酸化膜、及びS O I 活性層を順次エッチングして、図40に示すように、S i 基板1上に絶縁層2が形成され、絶縁層2上にS i - フィン層3が形成された構造が得られる。S i - フィン層3上にはマスクとして用いたシリコン窒化膜4が被着されている。

【0088】

次いで、図41に示すように、露出したS i - フィン層3の側面を酸化する等によりバッファ膜41を形成した後、多結晶または非結晶シリコン膜（ダミーシリコン膜）42を全面に形成し、CMP等によりシリコン窒化膜4が露出するまでダミーシリコン膜42を平坦化する。

【0089】

次に、図42に示すように、2層目のダミーシリコン膜61を全面に堆積させる。そして、ダミーゲートパターンのレジスト（図示せず）をマスクとして用いて、ダミーシリコン膜42、61を異方性エッチングにより加工し、図43に示すように、ダミーゲート43、62を形成する。このときゲートパターンの幅はソース・ドレイン拡散層を形成するためのマスクの幅とし、最終的なゲート寸法より大きい。

【0090】

その後、図44に示すように、ダミーゲート43、62をマスクとして用いてS i - フィン層3にイオン注入を行い、ソース拡散層8及びドレイン拡散層9を形成する。その後、図45に示すように、化学的ドライエッチング（C D E）等の等方性エッチング手法によりエッチングしてダミーゲート43、62の寸法を縮小し、最終的なゲート寸法のダミーゲート43a、62aを得る。

【0091】

次に、図46に示すように、ダミーゲート43a、62aをマスクとして用いてS i - フィン層3にイオン注入を行い、延長領域10、11を形成した後、アニールにより不純物を活性化する。

【0092】

次いで、全面にシリコン窒化膜ライナーを堆積し、層間膜としてシリコン酸化膜を形成する。次に、CMP等により層間シリコン酸化膜を平坦化し、ダミーゲートダミーゲート43a、62aの上面を露出させる。このとき、ダミーゲート43a、62a上のシリコン窒化膜ライナー及び層間シリコン酸化膜は同時に除去される。そして、C D E等によりダミーゲート43a、62aを除去して、ゲート溝を形成する。

【0093】

その後、必要に応じてチャンネル部分にイオン注入と活性化アニールを行ってチャンネル部分の不純物濃度を調整したのち、バッファ酸化膜を除去してゲート溝内面にゲート絶縁膜を形成する。そして、ゲート電極材料として、例えば窒化チタンを全面に堆積する。ゲート電極の加工は、ゲートパターンよりわずかに大きいパターンを使用して、いわゆるT字型ゲートとしても良いし、CMPを使ってゲート溝に埋め込んでもよい。

【0094】

ゲート電極を溝に埋め込んだ場合は、ゲート電極がS i - フィン層3の両側に分断された形になるので、ゲート電極へのコンタクトは両側のゲート電極に対し行う必要がある。

また、平坦化の後、新たに導電体材料を形成し、必要な部分にのみパターンニングで残してゲート電極を接続しても良い。

【0095】

なお、2層目のダミーシリコン層の厚さを最低でもソース／ドレインイオン注入後のエッチング（寸法縮小）量以上にしておくこと、ダミーゲートが平坦化後にも分断せず、必ずしもゲート両側にコンタクトを形成する必要がなくなる。

【0096】

ゲート電極形成後は、通常のトランジスタ形成方法と同様にして、全面に層間膜を堆積させ、コンタクトホールを形成し、これにメタルを埋め込んでコンタクトを形成し、その後、アルミニウム等のメタルを全面に形成した後、所望のパターンに加工して配線を形成することにより、トランジスタが完成する。

【0097】

本発明は、上記実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々に変形して実施することが出来る。

【0098】

即ち、本実施例では基板としてSOI基板を使用した例について示したが、通常のシリコン基板を用いることも可能である。この場合、Si-フィン層の加工は、シリコン基板を所望の深さ（平面型の幅に相当する）までエッチングすることにより行う必要がある。

【0099】

なお、図示しないが、Si-フィン層以外の領域は、ダミーパターンを適当に形成することにより、各CMP工程におけるディッシングを防止することができる。

【0100】

本発明のダミーゲートを用いる態様は、ダマシゲートプロセスにより実施可能な構造であれば、ダミーゲートの構成はどのようなものでもよい。また、ゲート電極の形成方法も、CMPによりゲート溝に埋め込み方法以外に、レジストをマスクとしてパターンニングした後に、RIE等の異方性エッチングを行う方法を用いてもよい。

【0101】

電極を金属により構成した場合は、単層に限らず、複層または複数の金属を混合・反応させて形成してもよい。また、複数種類の電極を一枚の基板上に形成してもよい。シリコン電極の場合には、ゲルマニウムを含んでいてもよい。ゲート絶縁膜については、熱酸化膜のほか、窒化した酸化膜、High-k等の高誘電体膜、及びそれらの積層膜でよい。

【図面の簡単な説明】

【0102】

- 【図1】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図2】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図3】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図4】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図5】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図6】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図7】 実施例1に係る半導体装置の製造工程を模式的に示す断面図。
- 【図8】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図9】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図10】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図11】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図12】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図13】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図14】 実施例2に係る半導体装置の製造工程を模式的に示す断面図。
- 【図15】 実施例3に係る半導体装置の製造工程を模式的に示す断面図。
- 【図16】 実施例3に係る半導体装置の製造工程を模式的に示す断面図。

- 【図 17】 実施例 3 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 18】 実施例 3 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 19】 実施例 3 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 20】 実施例 3 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 21】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 22】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 23】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 24】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 25】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 26】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 27】 実施例 4 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 28】 実施例 5 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 29】 実施例 5 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 30】 実施例 5 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 31】 実施例 5 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 32】 実施例 5 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 33】 実施例 5 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 34】 実施例 6 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 35】 実施例 6 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 36】 実施例 6 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 37】 実施例 6 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 38】 実施例 6 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 39】 実施例 6 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 40】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 41】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 42】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 43】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 44】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 45】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。
- 【図 46】 実施例 7 に係る半導体装置の製造工程を模式的に示す断面図。

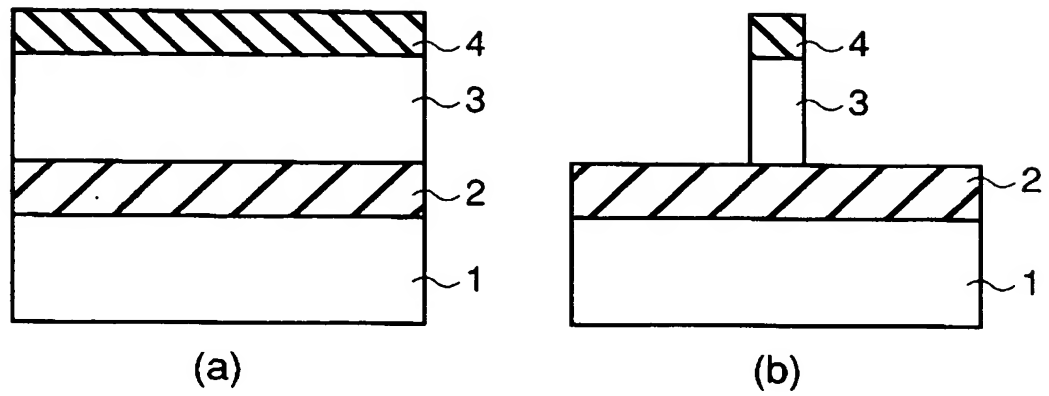
【符号の説明】

【0103】

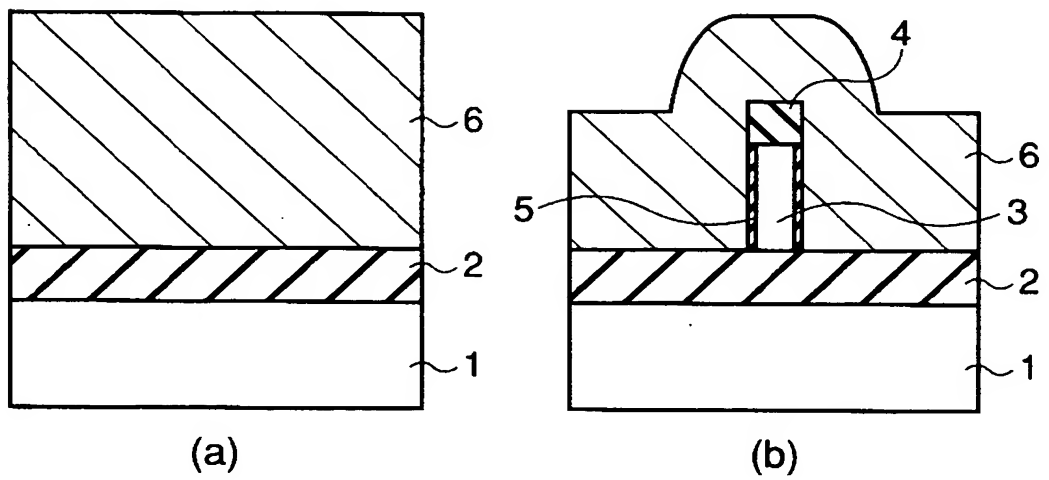
1・・・Si 基板、2・・・絶縁層、3・・・Si-フィン層、4・・・シリコン窒化膜、5・・・ゲート絶縁膜、6, 16a, 16b, 21, 31・・・多結晶または非結晶シリコン膜、7, 7a, 17, 17a, 22, 22a, 33, 33a, 34・・・ゲート電極、8・・・ソース拡散層、9・・・ドレイン拡散層、10, 11・・・延長領域、32・・・タンゲステンシリサイド (WSi) 膜、41・・・バッファ膜、42, 61・・・ダミーシリコン膜、43, 43a, 52, 62, 62a・・・ダミーゲート、51・・・シリコン酸化膜。

【書類名】 図面

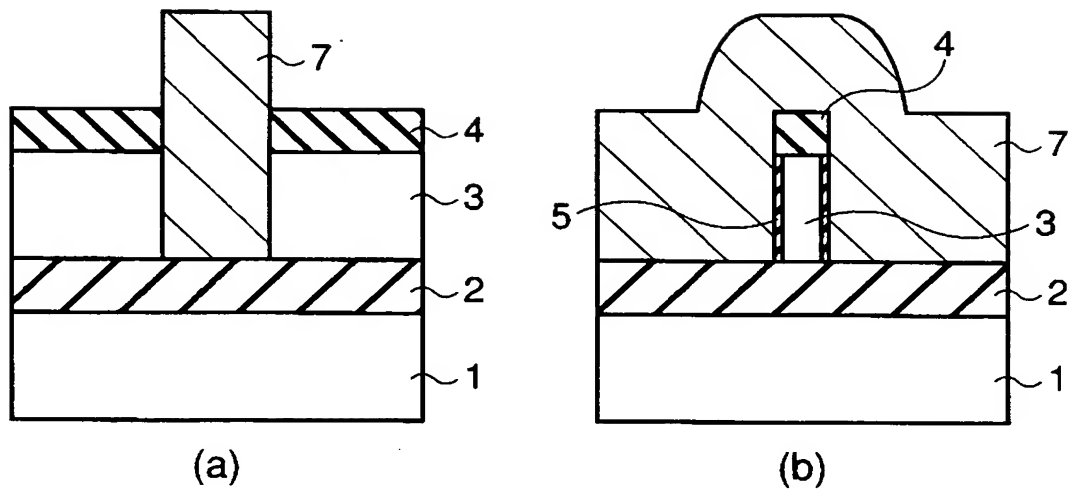
【図 1】



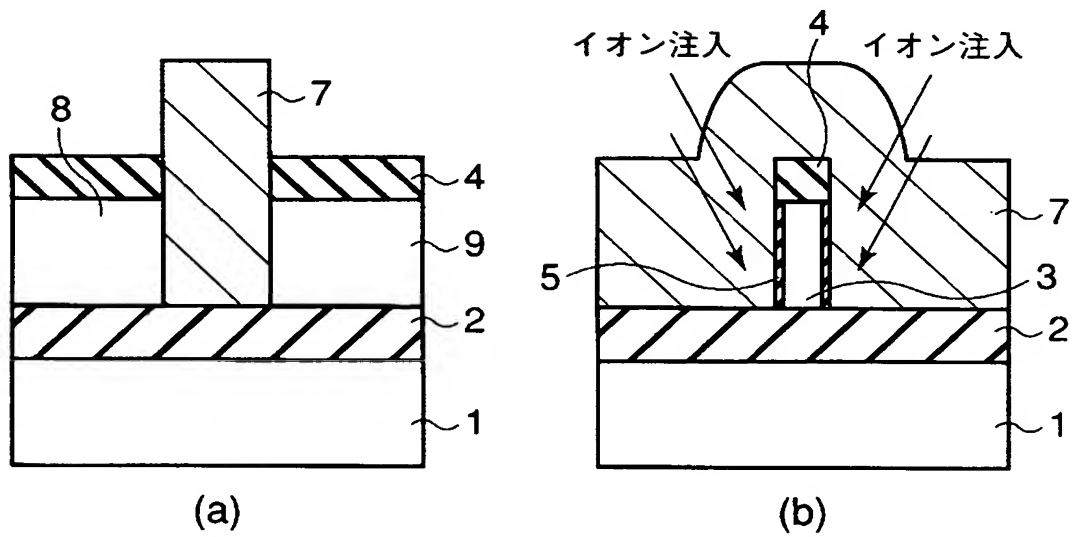
【図 2】



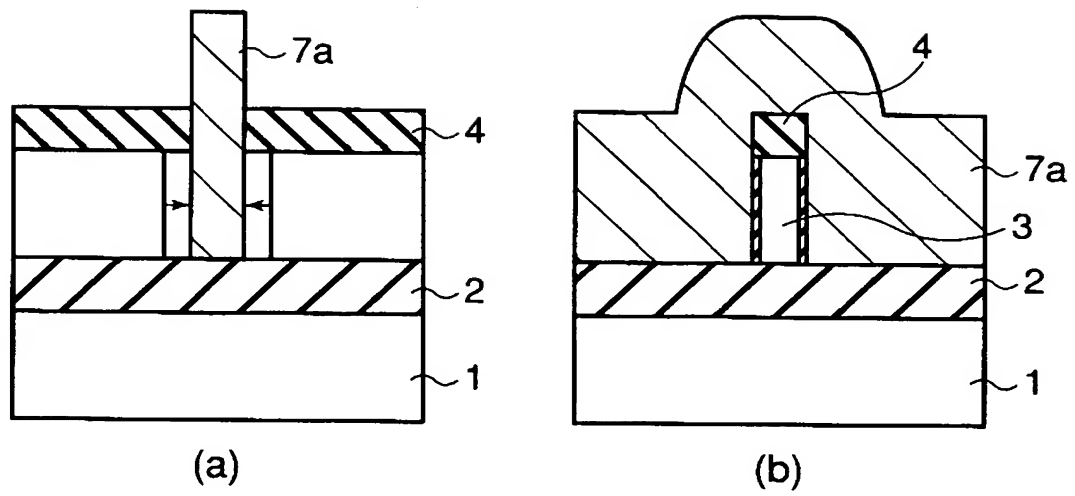
【図 3】



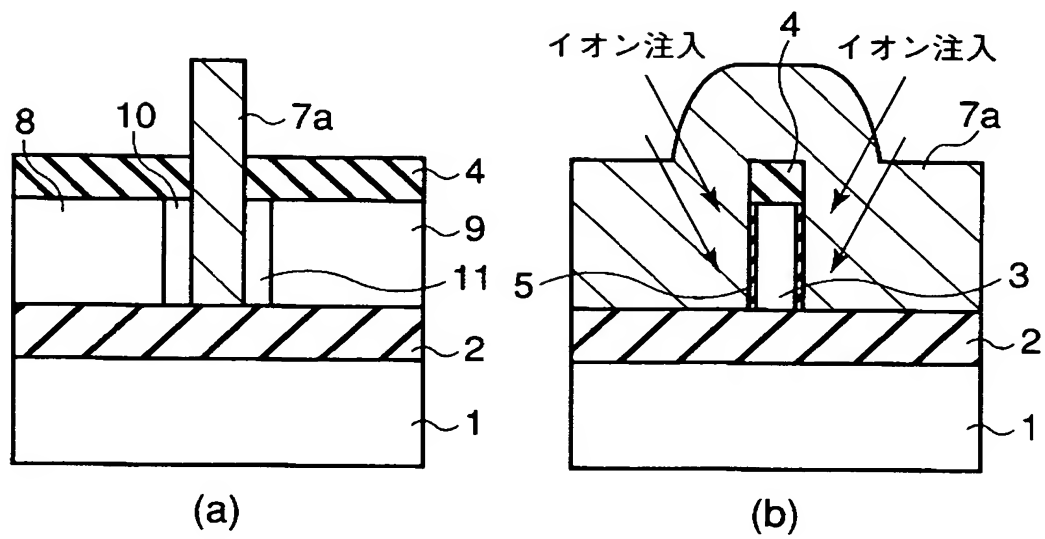
【図 4】



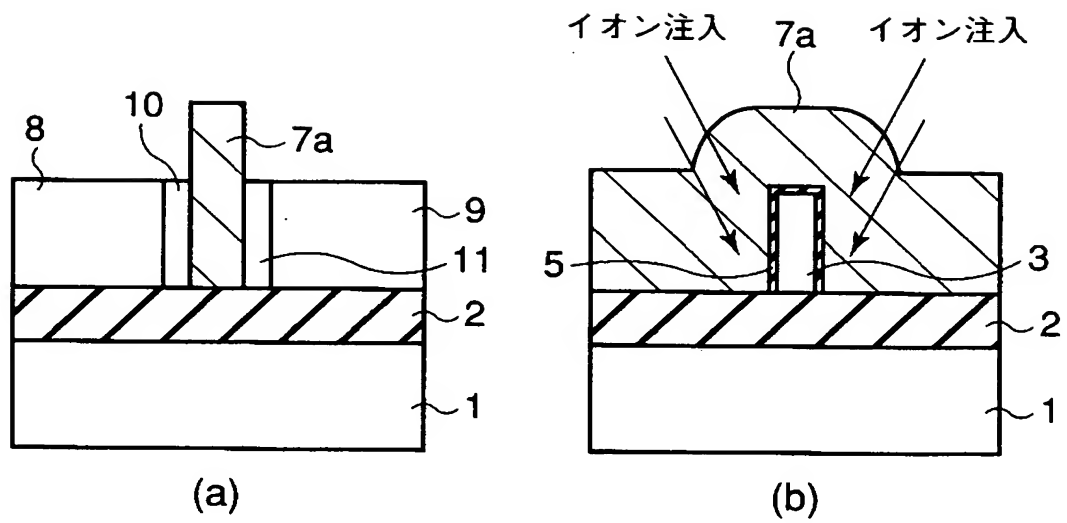
【図 5】



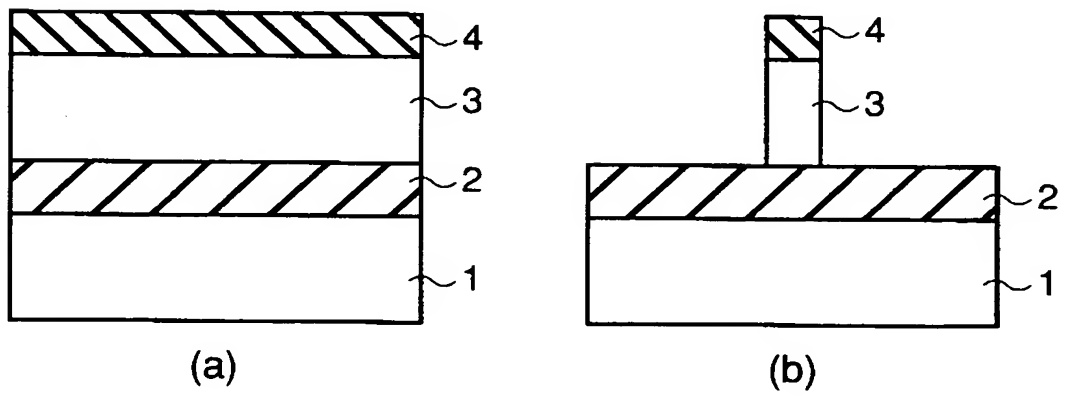
【図 6】



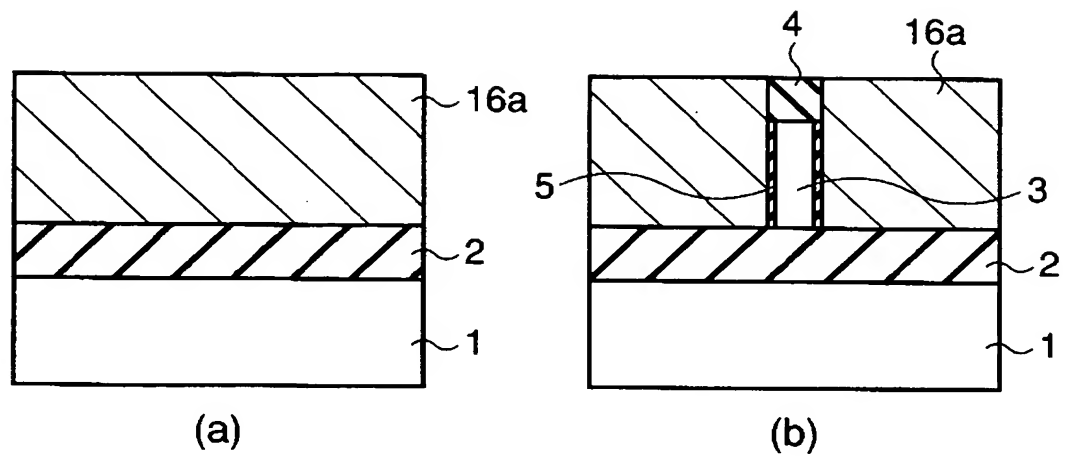
【図 7】



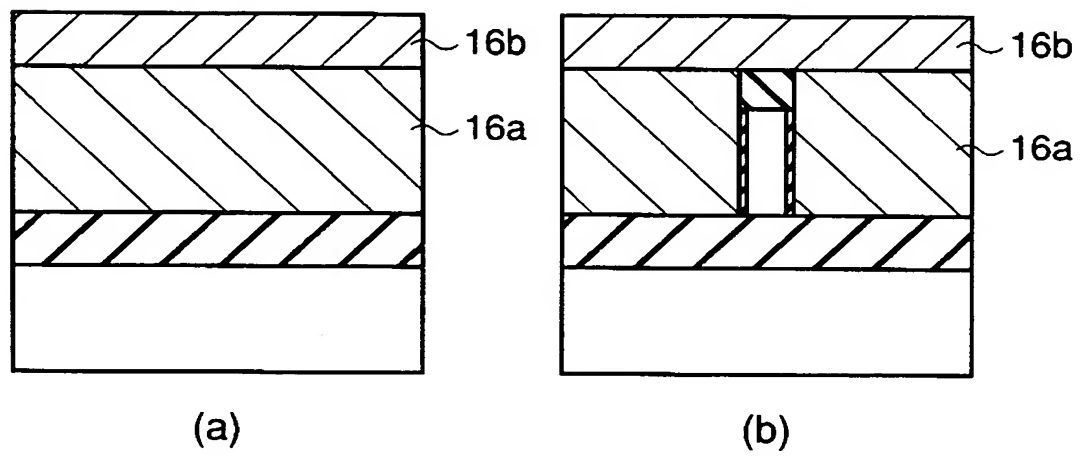
【図 8】



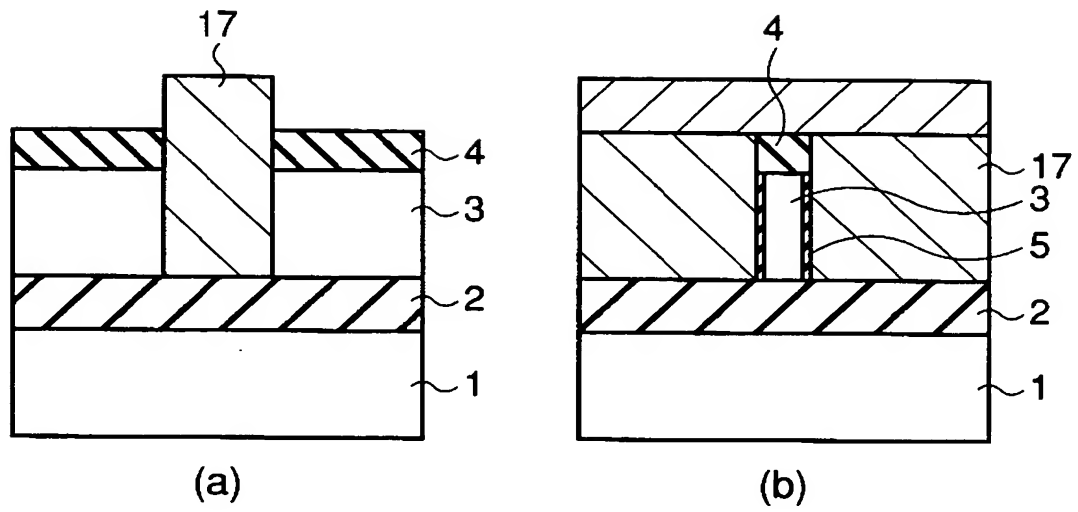
【図 9】



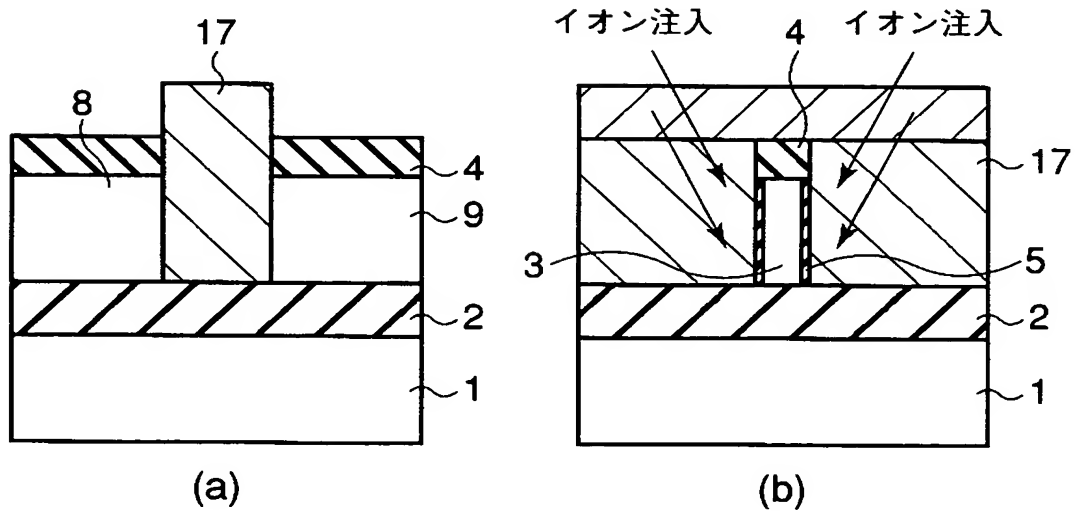
【図 10】



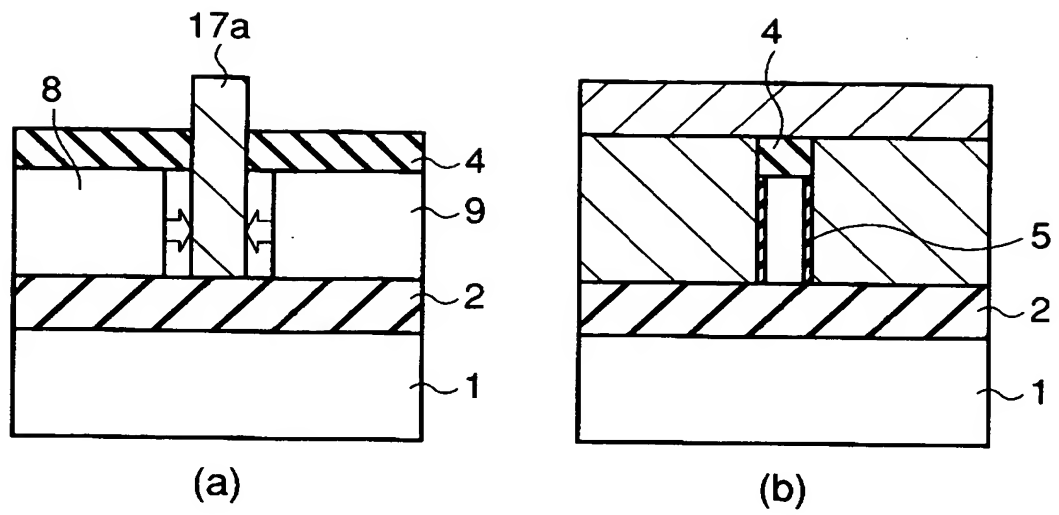
【図 11】



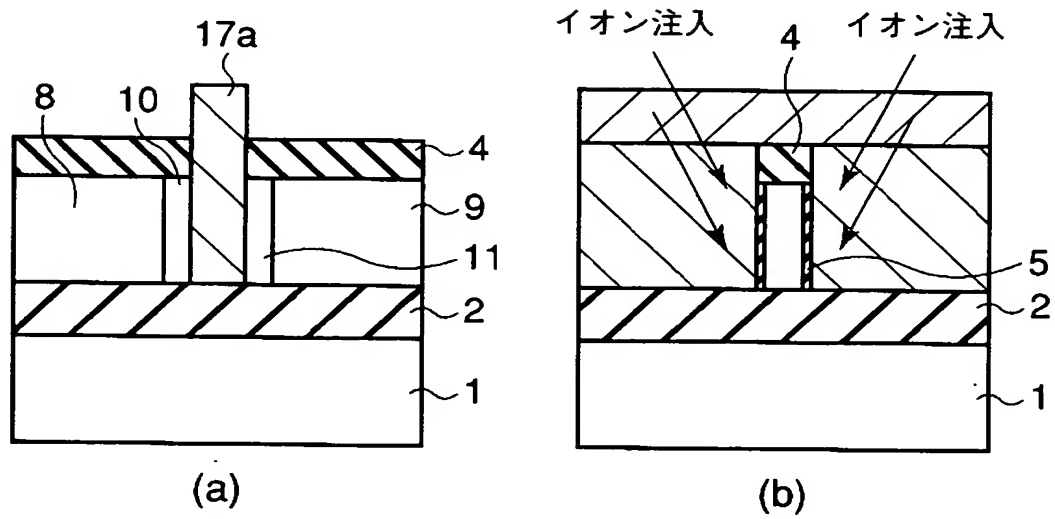
【図 12】



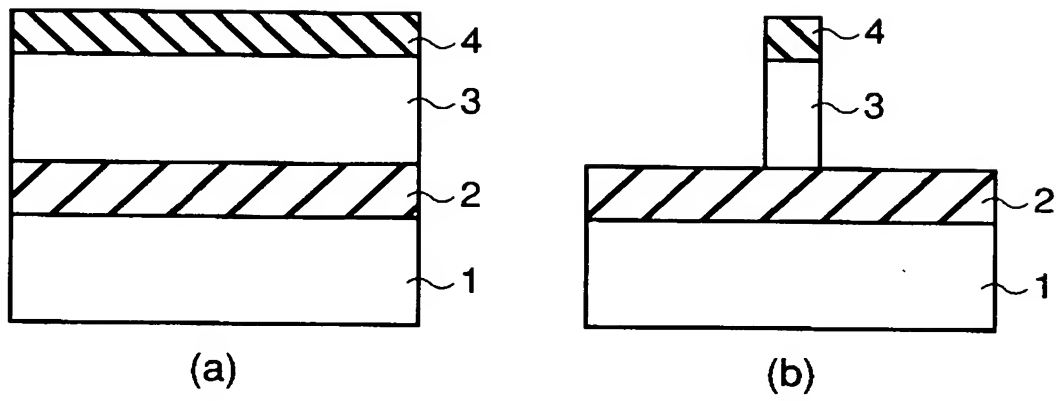
【図 13】



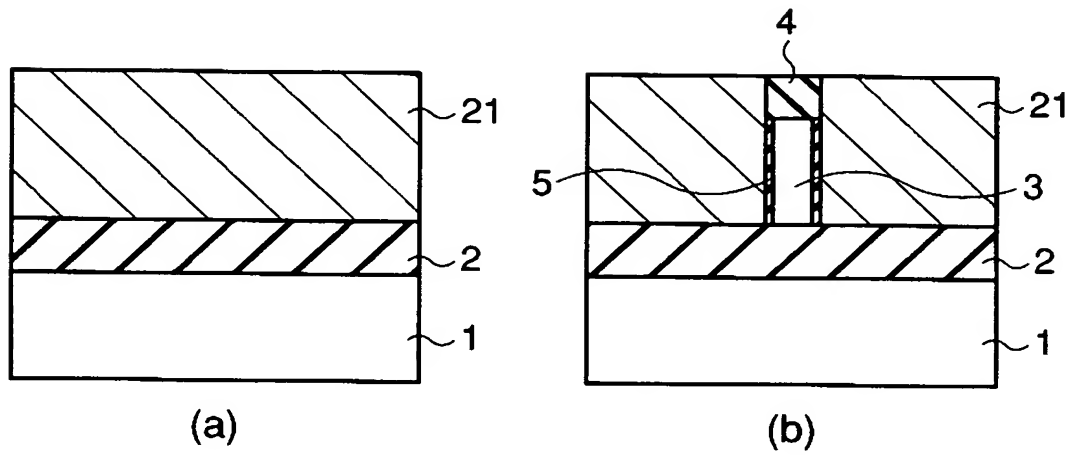
【図 14】



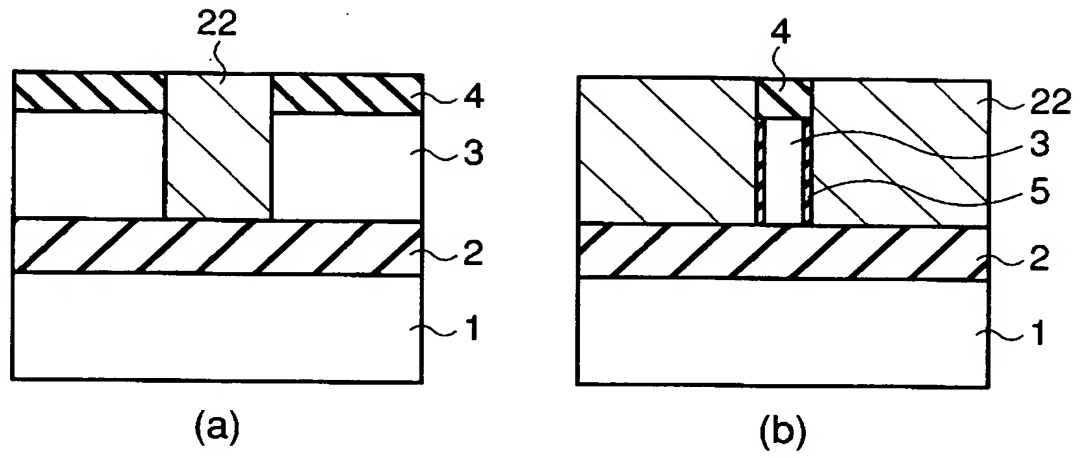
【図 15】



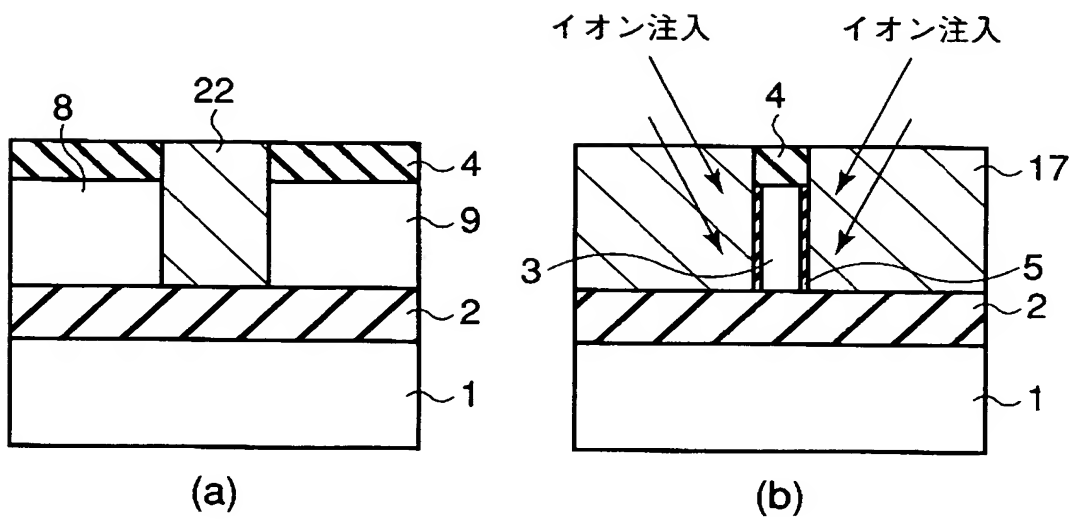
【図 16】



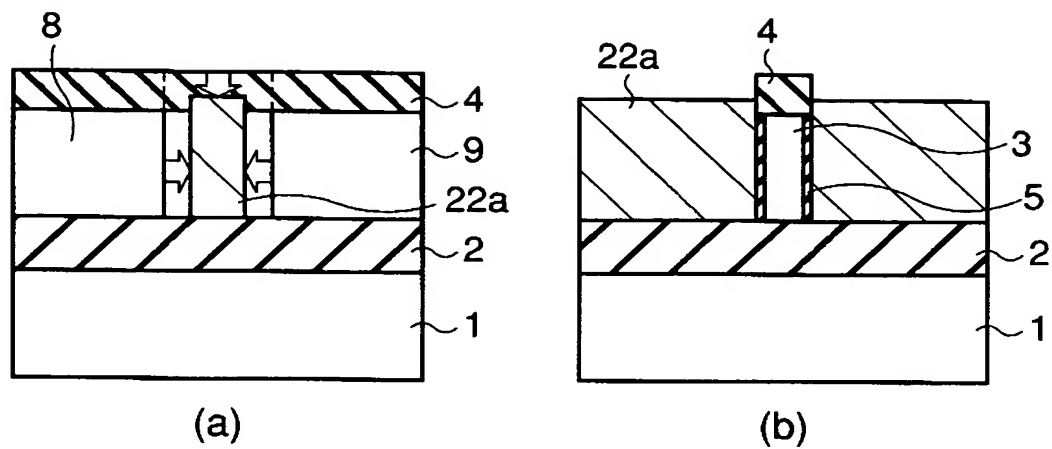
【図 17】



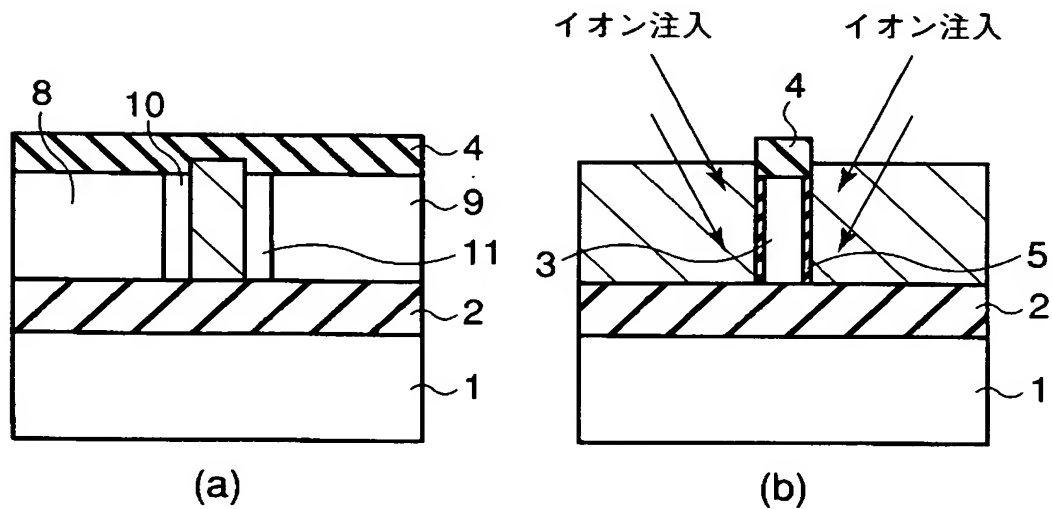
【図 18】



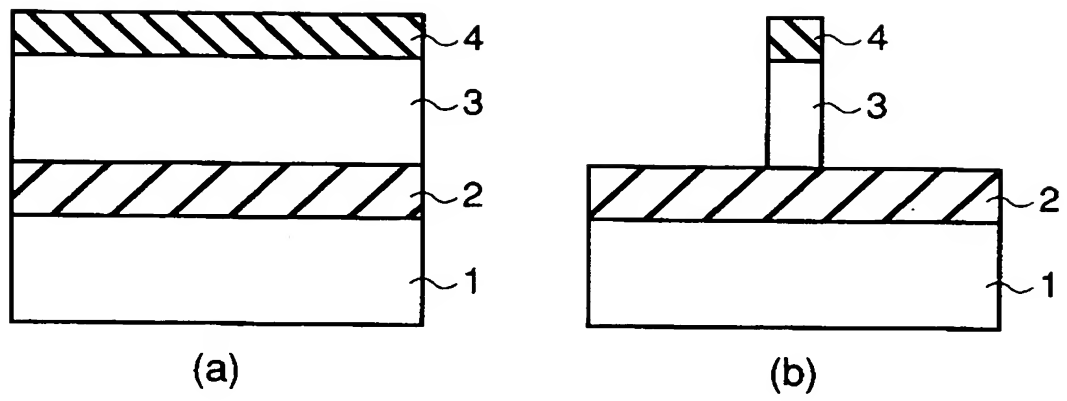
【図 19】



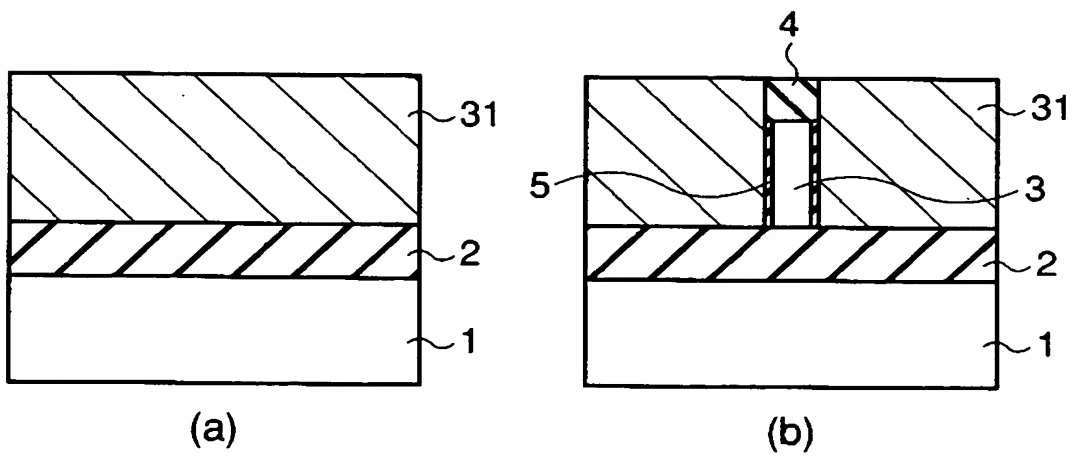
【図 20】



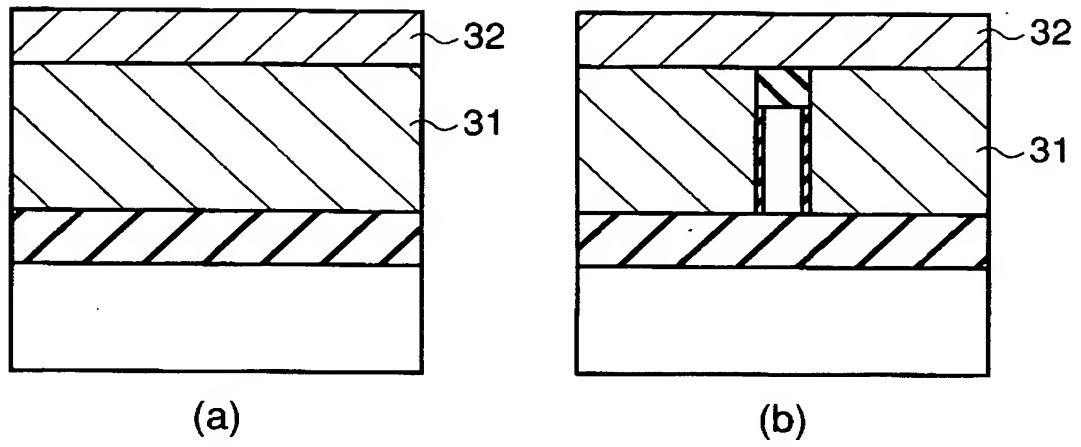
【図 21】



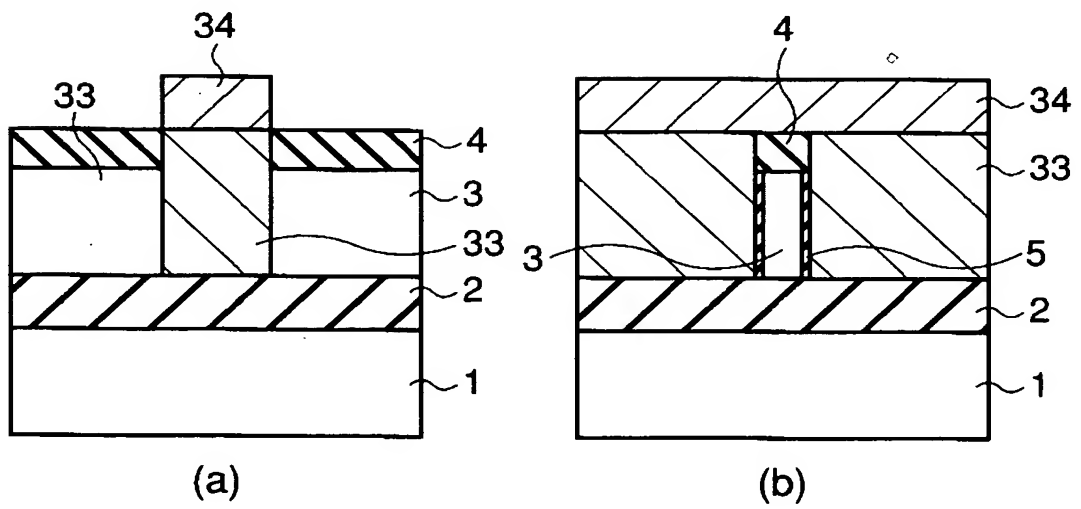
【図 22】



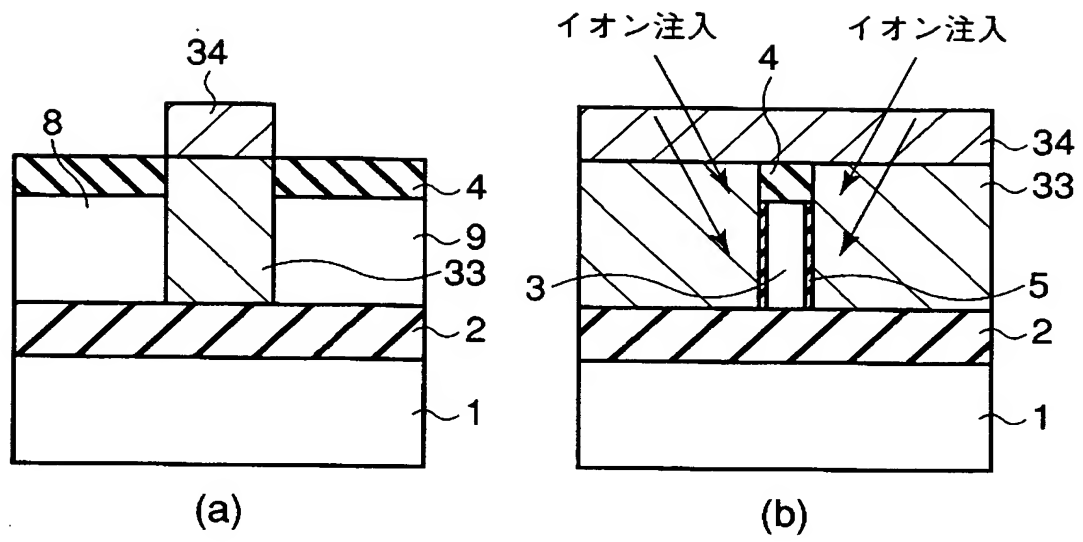
【図 23】



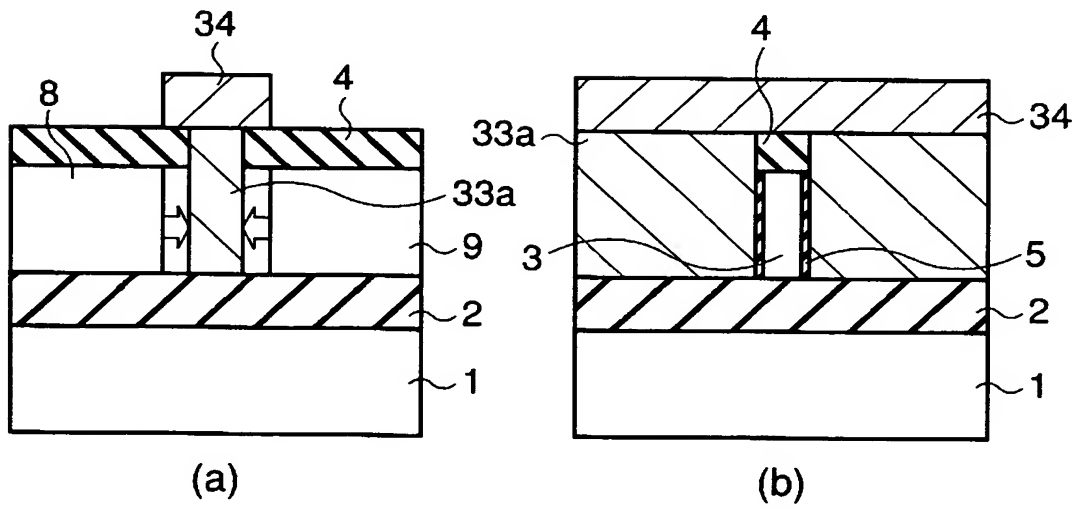
【図 24】



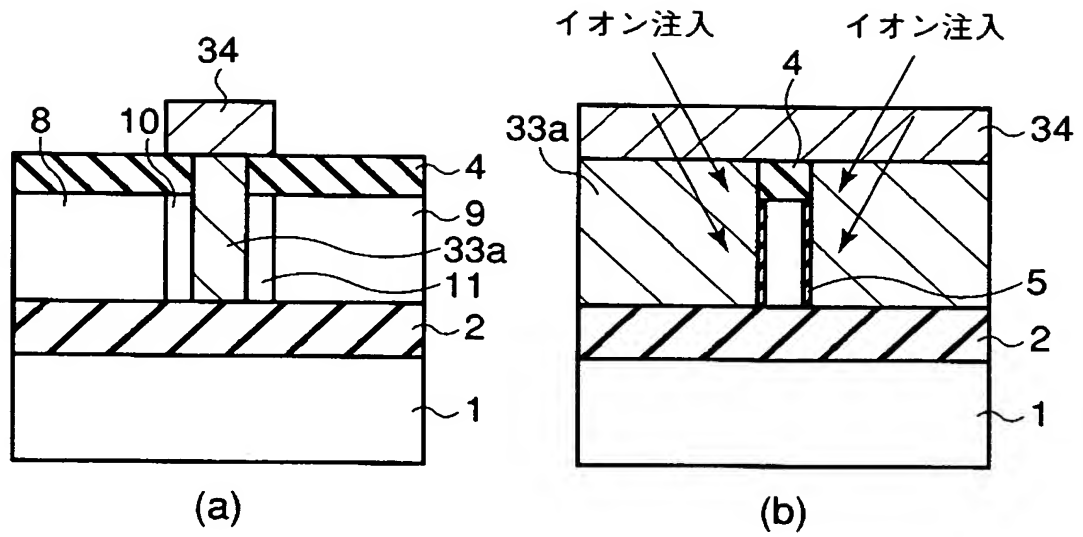
【図 25】



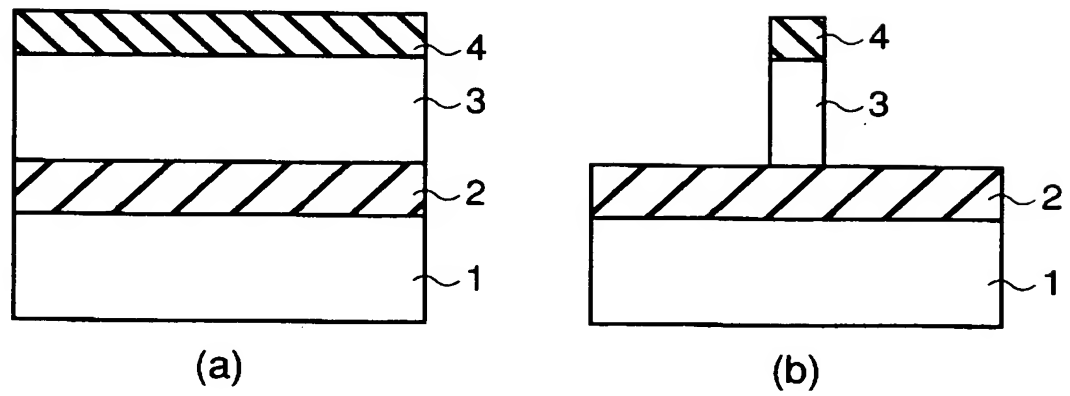
【図 26】



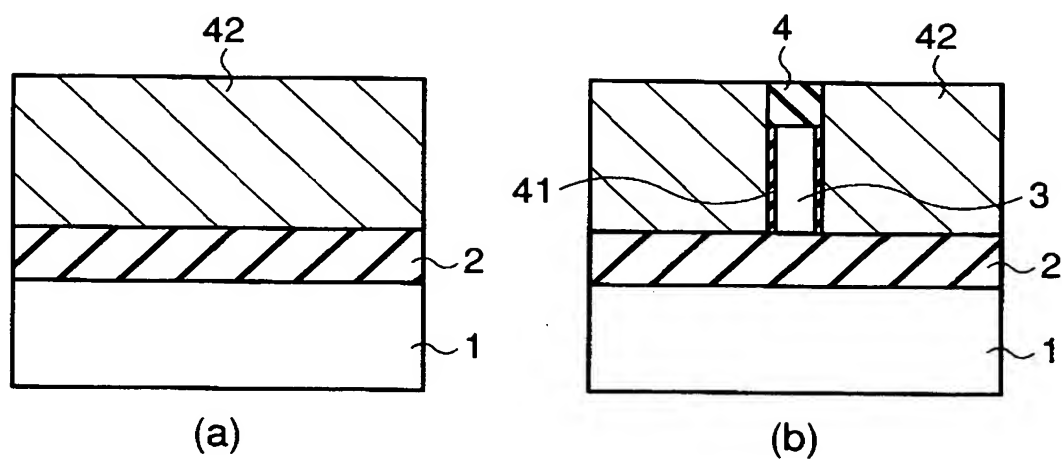
【図 27】



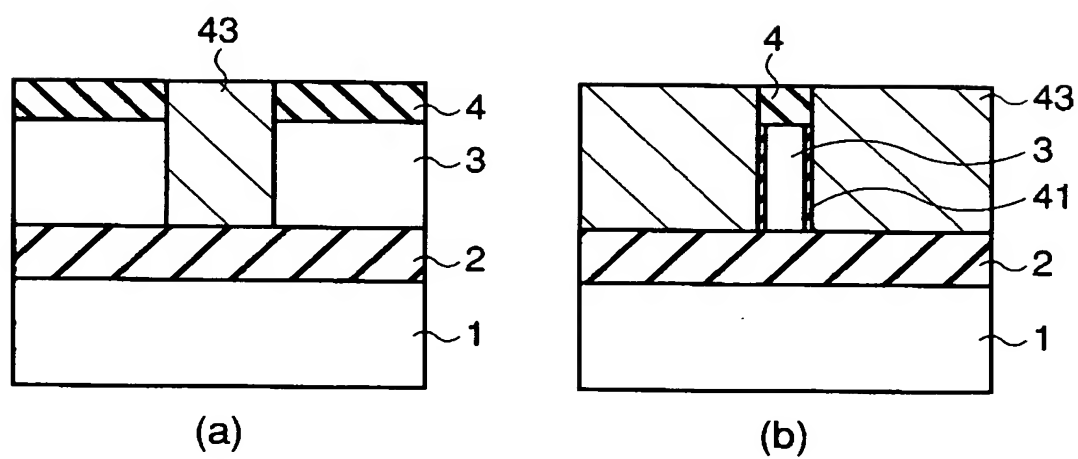
【図 28】



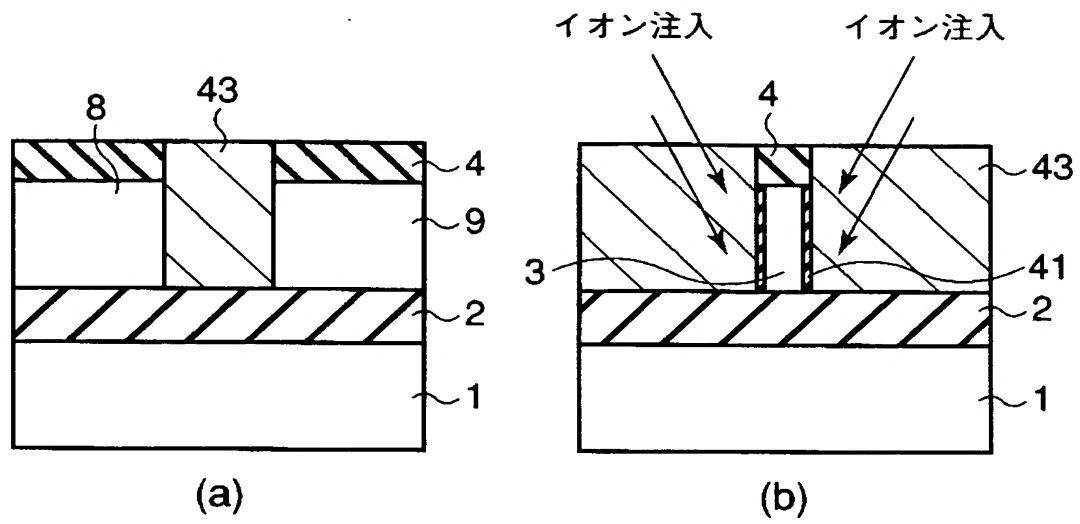
【図 29】



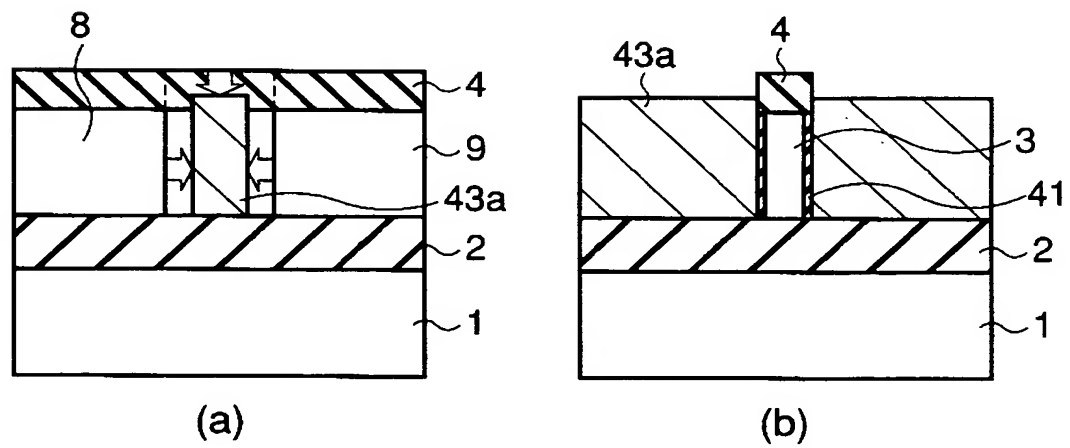
【図 30】



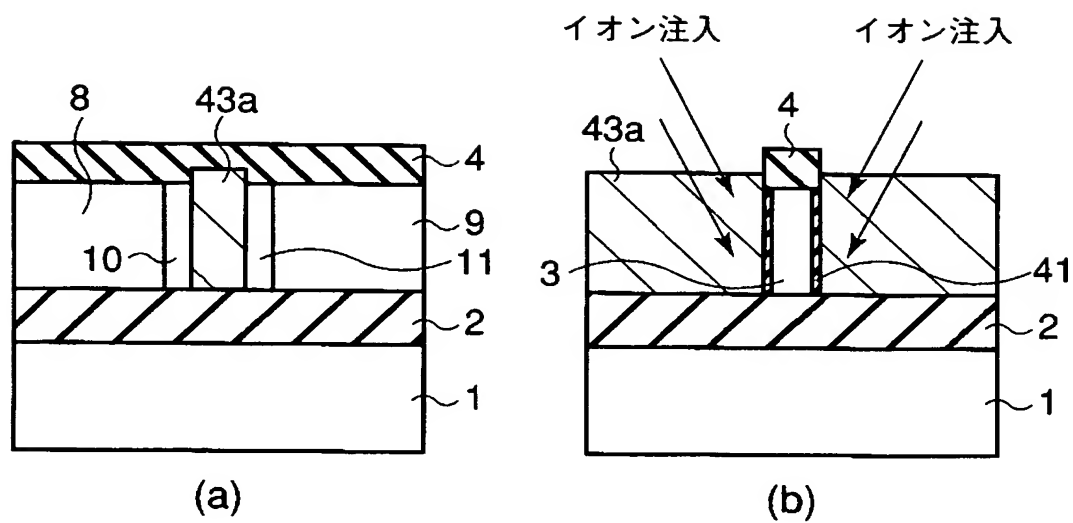
【図 3 1】



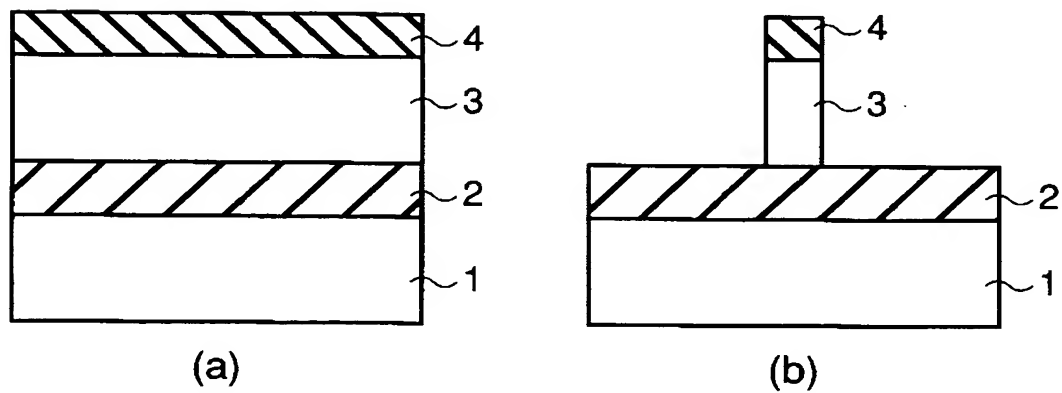
【図 3 2】



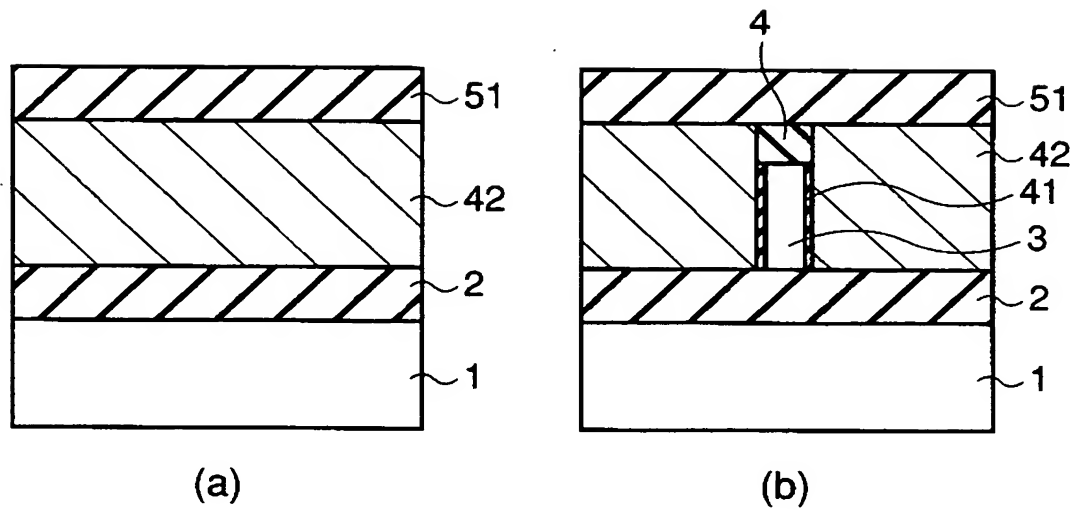
【図 3 3】



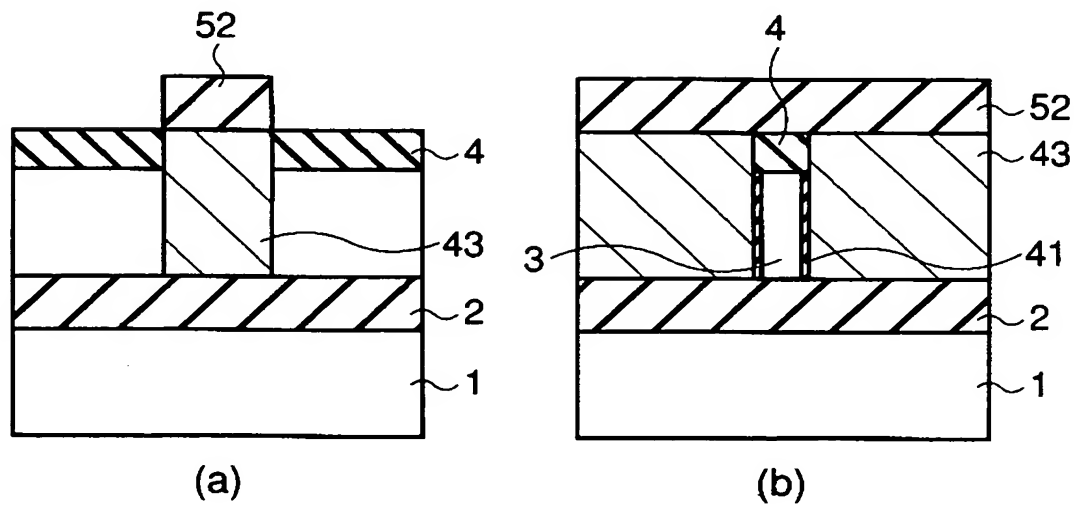
【図 3 4】



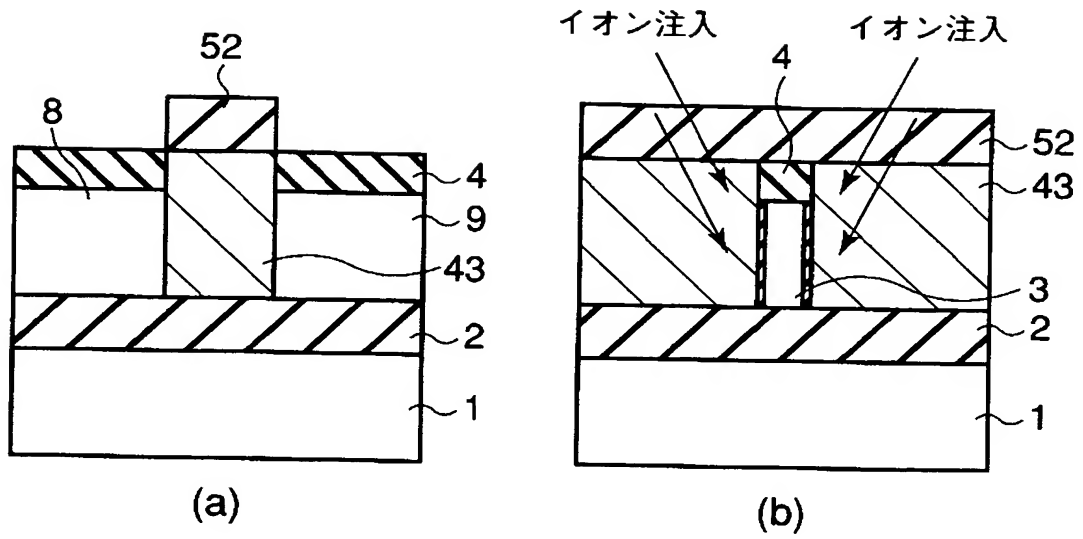
【図 3 5】



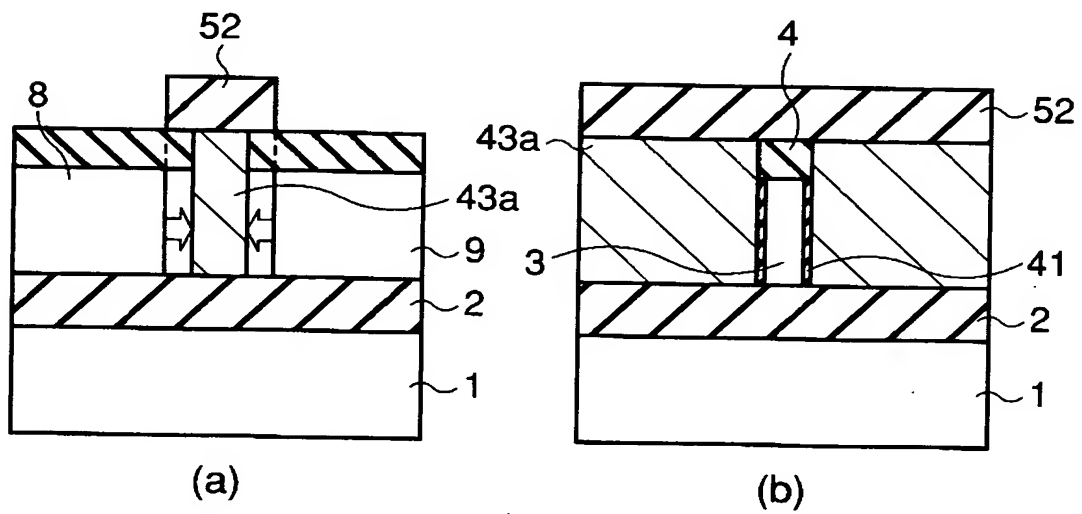
【図 3 6】



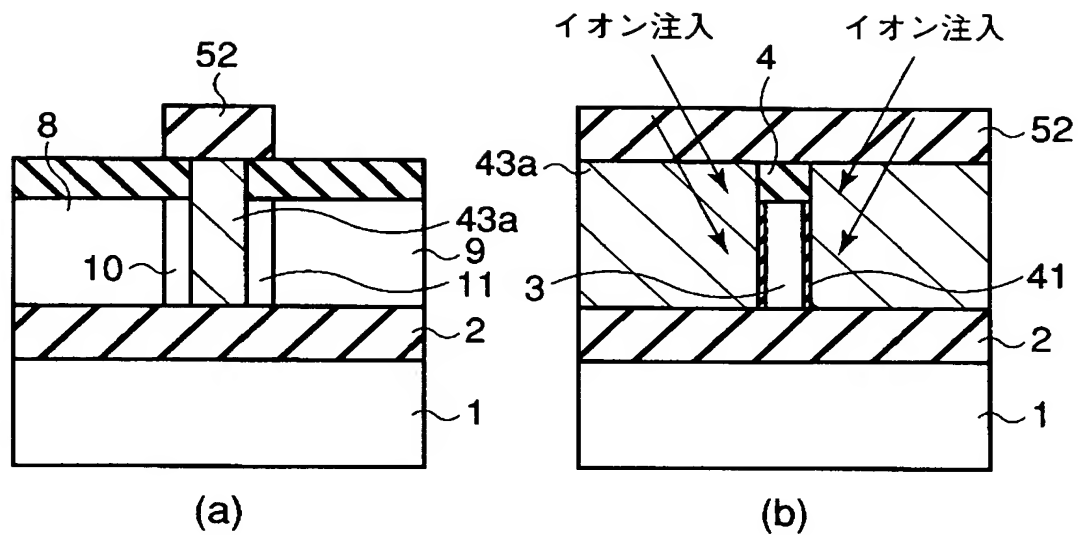
【図 37】



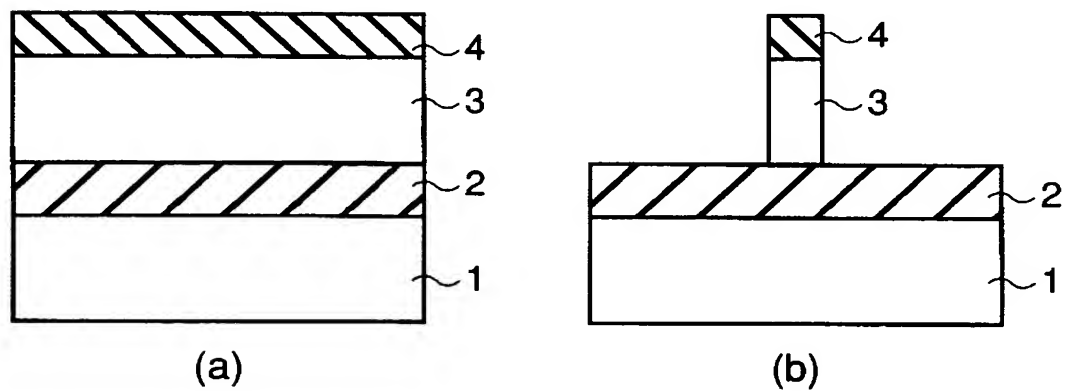
【図 38】



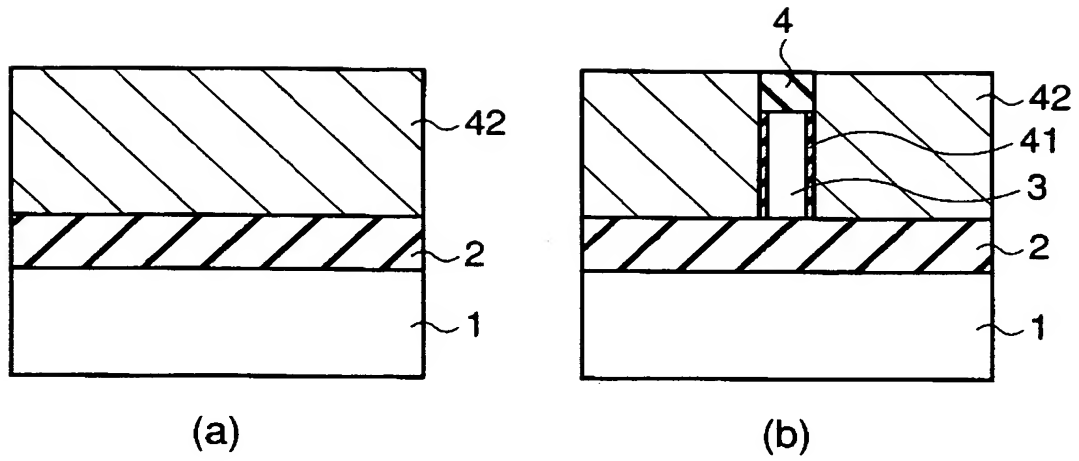
【図 39】



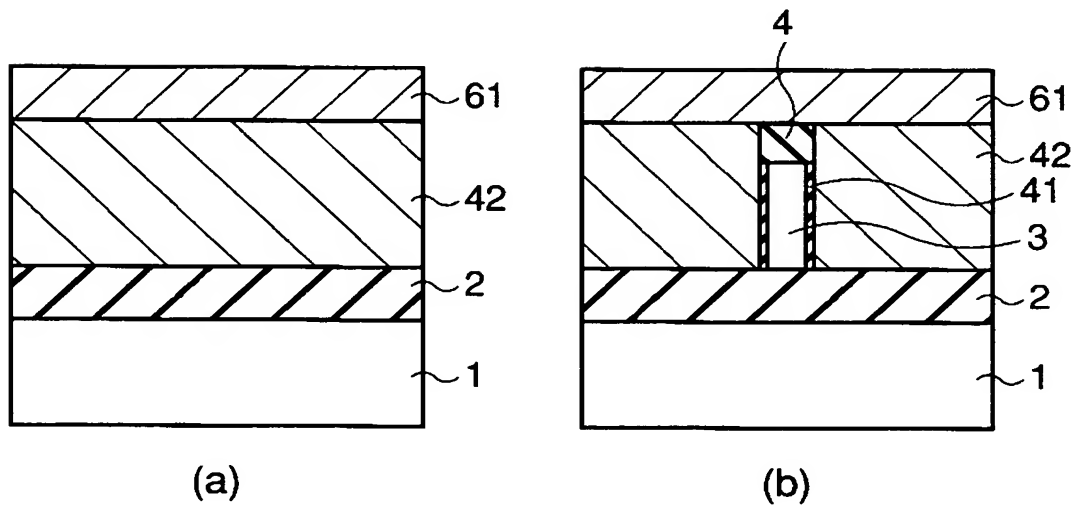
【図 40】



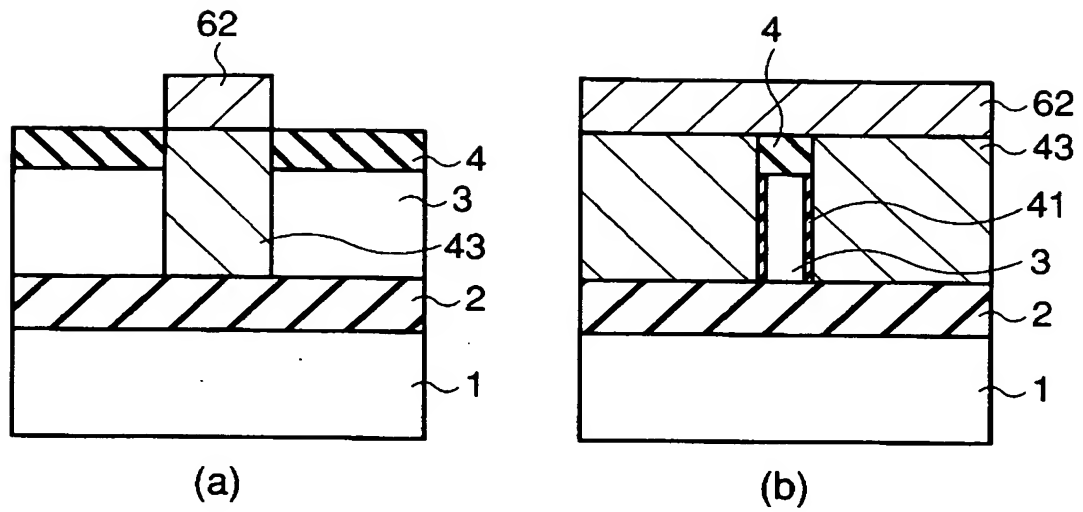
【図 4 1】



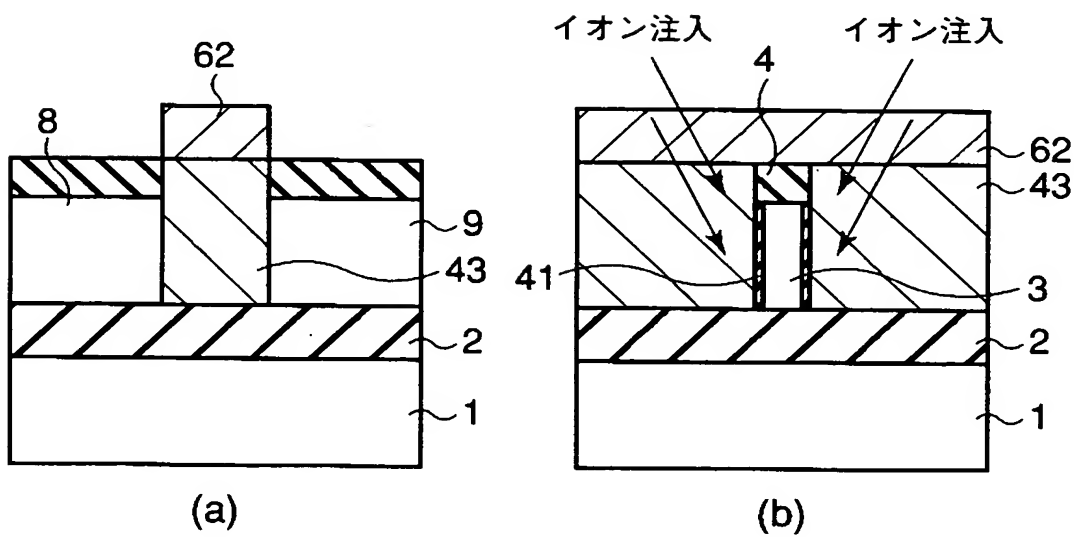
【図 4 2】



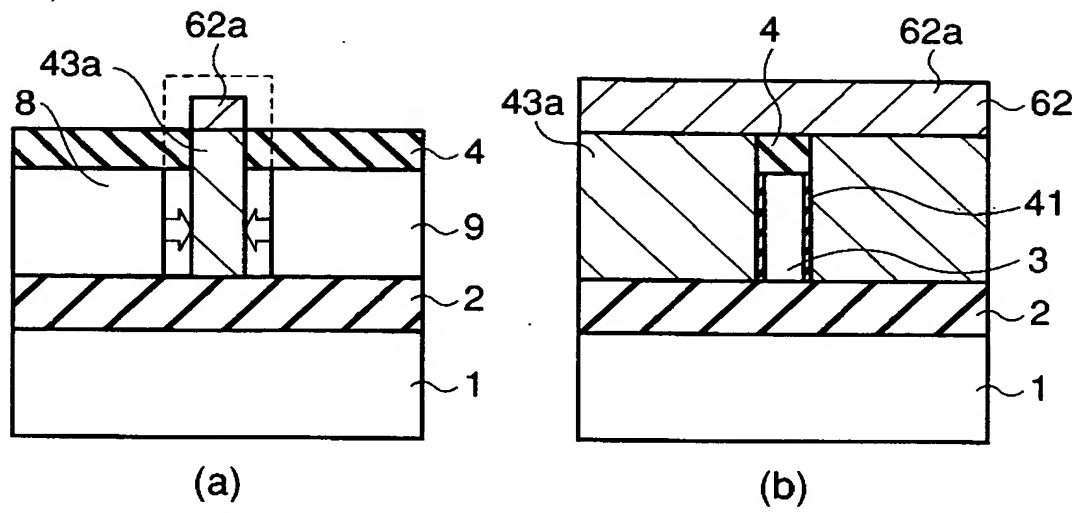
【図 4 3】



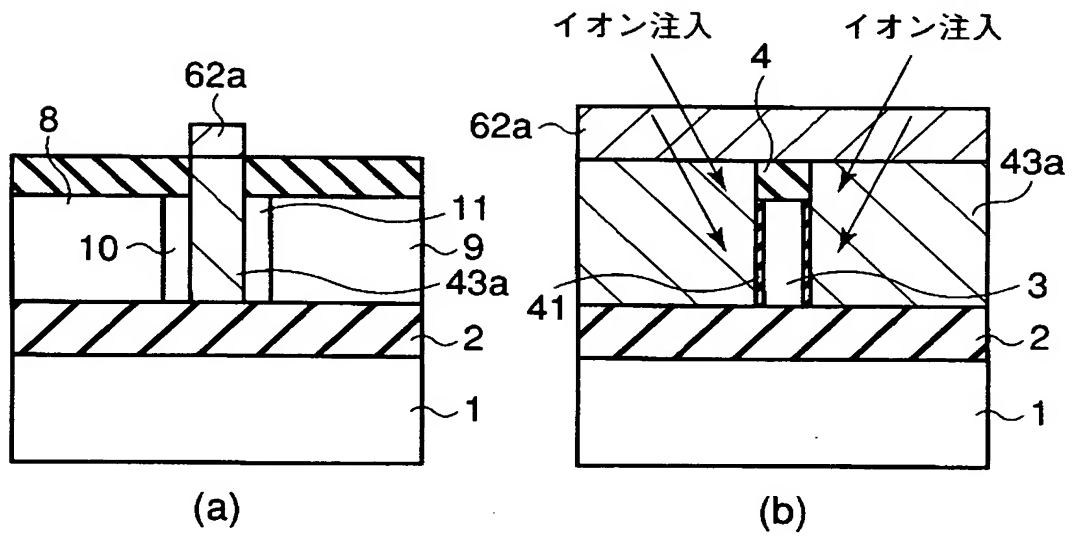
【図 4 4】



【図 4 5】



【図 4 6】



【書類名】 要約書**【要約】**

【課題】 側壁絶縁膜を形成することなく、LDD構造のソース・ドレイン領域を容易に形成することの可能な、フィン型電界効果半導体装置の製造方法、及び半導体装置を提供すること。

【解決手段】 フィン型シリコン層にゲート電極（又はダミーゲート）を形成した後、このゲート電極（又はダミーゲート）をマスクとしてフィン型シリコン層に不純物を導入して、第1の不純物領域を形成し、次いでゲート電極（又はダミーゲート）をエッチングしてその寸法を縮小し、この縮小された寸法のゲート電極（又はダミーゲート）をマスクとしてフィン型シリコン層に不純物を導入して、第2の不純物領域を形成することを特徴とする。

【選択図】 図 5

特願 2 0 0 3 - 3 4 5 9 5 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝